

UNIVERSITÉ DE SHERBROOKE  
Faculté de génie  
Département de génie électrique et de génie informatique

FABRICATION D'UN DÉTECTEUR DE  
CHARGE BASÉ SUR UN TRANSISTOR  
MONOÉLECTRONIQUE MÉTALLIQUE  
DAMASCÈNE

Mémoire de maîtrise  
Spécialité : génie électrique

MAXIME PLOURDE

Sherbrooke (Québec) Canada

Mars 2018



# MEMBRES DU JURY

Dominique DROUIN

---

Directeur

Michel PIORO-LADRIÈRE

---

Codirecteur

Serge ECOFFEY

---

Évaluateur

Maxime DARNON

---

Évaluateur



# RÉSUMÉ

Les transistors monoélectroniques (SET : *Single Electron Transistor*) sont des dispositifs similaires aux transistors FET (*Field Effect Transistor*) conventionnels. Ce qui distingue le SET d'un transistor FET est la présence d'un îlot ou boîte quantique séparée par une couche d'isolant entre la source et le drain. Cette particularité rend le transistor monoélectronique très sensible aux variations de potentiel dans son environnement et en fait un des détecteurs de charge les plus sensibles qui existe. Historiquement, ces dispositifs étaient considérés comme des candidats potentiels pour remplacer les transistors conventionnels en raison de leur faible consommation énergétique et leurs petites dimensions. Cependant, aujourd'hui, les progrès énormes de l'industrie ont amélioré les performances des transistors FET à un point où les avantages des SET sont marginales. Néanmoins, la recherche continue de s'effectuer sur ce type de dispositif, non plus avec la prétention de remplacer l'électronique moderne, mais avec la perspective d'être utilisé dans des applications quantiques et en recherche scientifique et de compléter la technologie CMOS par l'intégration 3D de dispositifs sous forme de capteur ultra-sensible.

Dans cette perspective, le procédé de fabrication doit donc être compatible avec les techniques de fabrication utilisées en industrie afin de faciliter le transfert technologique vers l'industrie de la microélectronique. Cependant, les travaux sur les SET compatibles avec les procédé utilisé dans le BEOL (*Back end of line*) des techniques industrielles n'ont jamais démontré de fonctionnement à température ambiante. Les résultats de cette maîtrise montrent qu'il est possible d'augmenter la température d'opération d'un détecteur de charge basé sur un transistor monoélectronique tout en respectant les contraintes imposé par les procédés industrielles. Cette démonstration est effectuée avec des simulations de dispositifs par élément fini ainsi que par des validation expérimentale de la faisabilité du procédé de fabrication.

La fabrication et la caractérisation électrique de SET ont permis de valider la reproductibilité du procédé de fabrication du prédécesseur, Gabriel Droulers. Un dispositif composé de deux transistors monoélectroniques couplé par l'îlot est utilisé afin de simuler la détection de charge avec un fonctionnement théorique à la température de l'azote liquide (77 K). Le développement et la caractérisation de procédés de déposition par couche atomique ALD (*Atomic Layer Deposition*) ont été effectués pour atteindre cet objectif. Finalement, chaque étape du procédé de fabrication a été caractérisée et validée indépendamment.

**Mots-clés :** détection de charge, transistor monoélectronique, SET, ALD



# ABSTRACT

## FABRICATION OF CHARGE DETECTOR BASED ON METALLIC DAMASCENE SINGLE ELECTRON TRANSISTOR

Single-electron transistors (SETs) are devices similar to conventional FET (Field Effect Transistor) transistors. What distinguishes the SET from a FET transistor is the presence of an island or quantum box separated by an insulating layer between the source and the drain. This feature makes the single electron transistor very sensitive to potential variations in its environment and makes it one of the most sensitive charge detectors available. Historically, these devices were considered potential candidates to replace conventional transistors because of their low power consumption and small size. However, today, the huge advances in the industry have improved the performance of FET transistors to a point where the benefits of SETs are marginal. Nevertheless, research continues to be carried out on this type of device, no longer with the pretension of replacing modern electronics, but with the prospect of being used in quantum applications and scientific research and complementing CMOS technology by 3D device integration in the form of ultra-sensitive sensor.

In this perspective, the manufacturing process must therefore be compatible with manufacturing techniques used in industry to facilitate the transfer of technology to the microelectronics industry. However, work on SETs that are compatible with industrial techniques has never shown room temperature operation. The results of this control show that it is possible to increase the operating temperature of a charge detector based on a monoelectronic transistor while respecting the constraints imposed by industrial processes. This demonstration is carried out with finite element device simulations as well as experimental validation of the feasibility of the manufacturing process.

The fabrication and the electrical characterization of SET allowed to validate the reproducibility of the fabrication process of the predecessor, Gabriel Droulers. A device consisting of two monoelectronic transistors coupled by the island is used to simulate charge detection with theoretical operation at the temperature of liquid nitrogen (77 K). The development and characterization of Atomic Layer Deposition (ALD) atomic layer deposition processes were carried out to achieve this objective. Finally, each step of the manufacturing process has been independently characterized and validated.

**Keywords:** charge detection, single electron transistor, SET, ALD





À ma famille



# REMERCIEMENTS

Je remercie toutes les personnes qui ont contribué de prêt ou de loin aux travaux que j'ai effectués durant cette maîtrise. Plus spécifiquement, je remercie tout le personnel de soutien du 3IT, Caroline Roy, Marie-Josée Gour, Étienne Grondin, René Labrecque, Daniel Blackburn, Étienne Paradis, Pierre Langlois, pour leur soutien inconditionnel durant ces deux années. Je tiens à remercier aussi tous les membres du groupe de Dominique que j'ai eu la chance de côtoyer durant ma maîtrise. Un merci spécial pour Abdelatif Jaouad avec qui j'ai eu la chance de partager l'utilisation du système de déposition par ALD et qui est une source de conseil judicieux. Un merci spécial aussi à Serge Ecoffey qui est aussi une source de conseil judicieux et qui a eu la confiance nécessaire pour me laisser utiliser le précieux système de polissage CMP. Je remercie aussi Julien Camirand Lemyre qui m'a grandement aidé à faire des caractérisations électriques à basse température. Je tiens aussi à remercier énormément Dominique Drouin et Michel Pioro-Ladrière qui m'ont permis de continuer à réaliser mon rêve de faire de la recherche scientifique en m'offrant une maîtrise. Finalement, merci à Lauralyne Dumont de m'avoir soutenue et supportée tout au long de mes projets durant ces 4 dernières années.



# TABLE DES MATIÈRES

<b>1</b>	<b>INTRODUCTION</b>	<b>1</b>
<b>2</b>	<b>Revue de la littérature</b>	<b>5</b>
2.1	Détecteur de charge . . . . .	5
2.2	Le transistor monoélectronique . . . . .	6
2.2.1	Principe de fonctionnement . . . . .	6
2.2.2	Différent type de SET . . . . .	8
2.2.3	SET métallique . . . . .	9
2.3	Procédé nanodamascène . . . . .	10
<b>3</b>	<b>SIMULATION</b>	<b>15</b>
3.1	Évaluation de la température d'opération . . . . .	15
3.2	Évaluation des performances . . . . .	24
<b>4</b>	<b>DÉPÔT ALD</b>	<b>27</b>
4.1	Appareil utilisé . . . . .	30
4.2	Caractérisation . . . . .	30
4.3	$\text{Al}_2\text{O}_3$ . . . . .	33
4.4	$\text{SiO}_2$ . . . . .	35
4.5	TiN . . . . .	39
<b>5</b>	<b>FABRICATION DE SET</b>	<b>43</b>
5.1	Procédé nanodamascène inverse . . . . .	43
5.2	Photolithographie . . . . .	45
5.3	Électrolithographie . . . . .	45
5.4	Validation du procédé de fabrication . . . . .	47
5.4.1	Formation des tranchés entre la source et le drain (EBL1) . . . . .	47
5.4.2	Métalisation et gravure du TiN . . . . .	50
5.4.3	Formation de l'îlot et CMP . . . . .	50
<b>6</b>	<b>CONCLUSION</b>	<b>53</b>
<b>A</b>	<b>Paramètre de déposition pour les différents procédés ALD</b>	<b>55</b>
<b>B</b>	<b>Procédé de fabrication détaillé</b>	<b>59</b>
	<b>LISTE DES RÉFÉRENCES</b>	<b>63</b>



# LISTE DES FIGURES

2.1	Schéma conceptuel d'un SET en a) et diagramme d'énergie entre la source l'îlot et le drain en b) pour un SET métallique . . . . .	7
2.2	Comportement d'un SET couplé capacitivement avec la grille. a) Courbe du courant en fonction de la tension appliquée entre la source et le drain. b) Tension de seuil $V_t$ du blocage de Coulomb en fonction de la charge externe $Q_e$ [30] . . . . .	8
2.3	Technique d'évaporation à angle pour la formation de jonctions tunnel. a) Évaporation d'une couche métallique à angle sur une bicouche de résine. b) Oxydation de la couche métallique. c) Évaporation d'une deuxième couche de métal à angle opposé. La jonction se situe à l'interface de la région métal oxyde métal de la figure c). . . . .	10
2.4	Procédé nanodamascene. 1) Gravure de tranchées dans l'oxyde de Silicium. 2) Évaporation de métal qui constituera l'îlot et l'oxydation de ce dernier. 3) Recouvrement de métal sur toute la surface. 4) planarisation mécano-chimique (CMP) jusqu'à l'épaisseur désirée . . . . .	11
2.5	Observation de diamant de Coulomb sur 2 SET couplés comparés avec la simulation du dispositif. [11] . . . . .	12
2.6	Courant drain/source en fonction de la tension pour une polarisation de grille nulle. Du blocage de coulomb est observé à 1 K et celui-ci disparaît en augmentant la température. . . . .	13
2.7	Oscillation de Coulomb reproductible. La période d'oscillation correspond à un couplage avec la grille de 3.2 aF . . . . .	14
3.1	Tableau tiré de la thèse de Gabriel Droulers. Ce tableau est une comparaison des valeurs expérimentale obtenue pour différent dispositif. Ceux surlignés en jaune correspondent à ceux qui ont démontré un fonctionnement. Les encadrés en vert correspondent à la comparaison des différentes capacités et énergie de charge expérimentale et simulée avec le logiciel COMSOL multiphysics. [11] . . . . .	16
3.2	Géométrie du Double SET. En a), une vue de haut montre les deux SET couplé. Le SET 1 est représenté à gauche avec S1, G1, I1 et D1 respectivement la source, la grille, l'îlot et le drain du SET et le SET 2 est représenté à droite avec la même notation. En b), les différents paramètre géométrique a optimisé sont identifié. $t_{cmp}$ est l'épaisseur de l'îlot, $L_I$ est la longueur de l'îlot, $t_{ox}$ est l'épaisseur des jonctions tunnels, $W_T$ est la largeur de l'îlot et $d_I$ est la distance entre les deux îlot. . . . .	18
3.3	Schéma du <i>mesh</i> du double SET simulé sur COMSOL Multiphysics. En a) une vue d'ensemble du dispositif et en b) et c), une vue rapprocher des électrodes et de l'îlot. . . . .	19
3.4	Évaluation de la capacité de l'îlot pour un double SET en fonction de différents paramètres géométriques du dispositif. . . . .	21
3.5	Évaluation de la capacité de l'îlot (en noir) et de la température d'opération (en rouge) d'une double SET en fonction de l'épaisseur de la jonction tunnel. . . . .	23

3.6	Schema électrique du double SET. Les capacité considéré sont celles qui interagissent avec l'îlot. [11] . . . . .	23
4.1	Nombre de publication en lien avec l'ALD par année [33] . . . . .	28
4.2	Schéma du principe de fonctionnement d'un cycle de dépôt ALD [24] . . . . .	28
4.3	Empilement de dépôt de SiO <sub>2</sub> et de TiO <sub>2</sub> par ALD. Source : Veeco CNT crédit photo : Olivier Poncelet UCL . . . . .	29
4.4	Schéma 3D d'un condensateur fabriqué avec la méthode des condensateurs croisés . . . . .	32
4.5	Schéma 3D d'un condensateur fabriqué avec la méthode des condensateurs plan . . . . .	32
4.6	Capacité en fonction de la tension pour différent condensateur de 500 et 1000 $\mu\text{m}$ de côté à 100 kHz. . . . .	38
4.7	Taux de déposition du SiO <sub>2</sub> en fonction du nombre de cycles sur un substrat de Si avec 3 nm d'oxyde natif . . . . .	39
5.1	Procédé nanodamascène inverse. 1) Formation des contacts micrométrique. 2) Formation des contacts nanométriques. 3) Dépôt et gravure du TiN pour la formation de l'îlot. 4) Formation des jonctions tunnel de SiO <sub>2</sub> par ALD et formation de l'îlot de TiN. 5) Recouvrement de TiN pour la CMP. 6) Dispositif révélé après CMP. 7) Formation des contacts micrométriques pour les mesures électriques. [29] . . . . .	44
5.2	Masque utilisé pour la photolithographie UV1 [11] . . . . .	46
5.3	Motifs EBL pour les différentes géométrie de SET [11] . . . . .	47
5.4	Image MEB du double SET après gravure du SiO <sub>2</sub> des tranchées . . . . .	48
5.5	Image AFM a gauche et profile de la gravure a droite d'un SET après l'étape de gravure du SiO <sub>2</sub> . . . . .	48
5.6	Image MEB de tranchés pour un nanofil avant et après un dépôt de 5 nm de SiO <sub>2</sub> ALD. . . . .	49
5.7	Image AFM à gauche et profile de profondeur à droite de la gravure de 22 nm de TiN déposé par pulvérisation. . . . .	50
5.8	Image MEB du centre de la cellule D4 après la CMP d'un empilement de 40 nm de TiN déposé par ALD et 40 nm de TiN déposé par pulvérisation. Les zones d'écriture pour l'électrographie sont encadrées en bleu et les marques d'alignement sont encadrées en rouge. . . . .	51



# LISTE DES TABLEAUX

3.1	Matrice des capacités pour les configurations de simulation optimale pour la température d'opération de 77K. Les valeurs de capacité sont en attofarad et le SET1 correspond au SET de gauche tandis que SET2 correspond au SET de droite et S, I, D, G correspondent respectivement à la source, l'îlot, le drain et la grille. . . . .	24
4.1	Permittivité de l' $\text{Al}_2\text{O}_3$ pour les dépôts ALD et PEALD avec la méthode des condensateurs croisés. La distance correspond à la longueur d'un côté du condensateur en carré. . . . .	34
4.2	Permittivité de l' $\text{Al}_2\text{O}_3$ PEALD pour la méthode des condensateurs croisés et des condensateurs plan. La distance correspond à la longueur d'un côté pour les carrés et au diamètre pour les cercles. . . . .	35
4.3	Analyse XPS de l' $\text{Al}_2\text{O}_3$ . . . . .	35
4.4	Permittivité relative du $\text{SiO}_2$ avec la méthode des condensateurs croisés. La dimension du condensateur correspond à la longueur d'un côté du condensateur en forme de carré. . . . .	37
4.5	Permittivité du $\text{SiO}_2$ pour la méthode des condensateurs croisés et des condensateurs plan. La distance correspond à la longueur d'un côté pour les carrés et au diamètre pour les cercles. . . . .	37
4.6	Analyse XPS du $\text{SiO}_2$ en survol et en profondeur pour les deux procédés développés. . . . .	38
4.7	Tableau comparatif de la résistivité et de la stœchiométrie des différents dépôts par ALD et par pulvérisation cathodique de TiN. . . . .	40
A.1	Paramètre de déposition des différents procédés ALD . . . . .	55
A.2	Paramètre du générateur de plasma pour les différentes recettes . . . . .	56
A.3	Procédé de conditionnement du TiN avec le TMA . . . . .	57



# CHAPITRE 1

## INTRODUCTION

Les transistors monoélectroniques (SET, *Single Electron Transistor*), démontrés pour la première fois en 1987 [17] étaient vues comme des candidats potentiels pour remplacer les transistors CMOS, car ils permettaient théoriquement une plus faible consommation d'énergie que les MOSFET pour un fonctionnement équivalent et pouvaient occuper une plus petite surface.

Ainsi, plusieurs méthodes de fabrication de SET ont été développées [27, 40, 49]. Cependant, deux problèmes majeurs ont fait en sorte que les SET ne sont plus mentionnés dans le rapport de l'ITRS (*International Technology Roadmap for Semiconductors*) depuis 2011, la température d'opération trop basse et l'incompatibilité avec les procédés industriels. En effet, peu de SET ont été conçus avec un procédé industrialisable et encore moins fonctionnant à température ambiante. De plus, les progrès énormes de l'industrie ont réduit la taille du transistor CMOS à une dimension comparable au SET. Ainsi, les avantages anticipés des transistors monoélectroniques face au transistor CMOS n'existent plus. Même si les SET ne sont plus mentionnés dans l'édition de 2011 de l'ITRS, la recherche continue de s'effectuer sur ce type de dispositif [2, 26, 31, 38, 39], non plus avec la prétention de remplacer l'électronique moderne, mais avec la perspective d'être utilisé dans des applications quantiques et en recherche scientifique et aussi de compléter la technologie CMOS par l'intégration 3D de dispositif sous forme de capteur ultra-sensible.

Il reste beaucoup de défis à résoudre pour qu'un SET puisse être utilisé dans un circuit intégré commercial. Le principal défi réside dans la fabrication de ces dispositifs [30]. La capacité de l'îlot du SET avec son environnement doit être en dessous de l'attofarad pour permettre le fonctionnement à température ambiante. Pour y arriver, des dimensions de l'îlot de l'ordre de quelques nanomètres sont nécessaires. Plus récemment, des procédés ont été développés avec des SET métalliques [11, 25]. Ces procédés de fabrication sont compatibles avec les procédés industriels d'aujourd'hui, cependant les dispositifs fonctionnent pour l'instant à la température maximale de 50 mK.

Le procédé *nanodamascene* développé à l'Université de Sherbrooke possède plusieurs avantages. Le procédé a un budget thermique inférieur à 450 °C et est donc compatible avec les procédés BEOL (*back end of line*) des circuit intégrés, et puisque c'est un SET métal-

lique, il serait envisageable d'intégrer ces dispositifs dans un procédé industriel puisque le procédé utilise des technique de fabrication compatible avec les techniques de fabrication industriel.

Dans sa thèse rédigée en 2015 [11], Gabriel Droulers, doctorant dans le groupe du professeur Dominique Drouin, a été capable de montré le fonctionnement du SET en faisant la mesure à 50mK de diamants de Coulomb et de détection de charges sur deux SET couplés. De plus, les travaux de Bruno Lee Sang sur le procédé *nanodamascene* inverse [29] ont montré qu'il est possible de réduire la taille de l'îlot avec ce procédé et ainsi augmenter la température d'opération.

Considérant d'une part les travaux effectués par Gabriel Droulers sur les SET métalliques [11] et considérant d'autre part les travaux effectués par Bruno Lee Sang sur le procédé *nanodamascene* inverse [29], est-il possible de fabriquer un détecteur de charge basé sur un transistor monoélectronique métallique mais qui fonctionnerait à une température supérieure à 50 mK comme la température ambiante ou la température de l'azote liquide tout en utilisant des techniques industrielles ?

La seule façon de rendre un SET métallique fonctionnel à température ambiante est de fabriquer un îlot dont la capacité totale est de l'ordre de 0.7 aF. Diminuer la taille de l'îlot est une façon de diminuer sa capacité avec son environnement. L'utilisation de matériau diélectrique avec une faible permittivité électrique contribue aussi à diminuer la capacité de l'îlot.

Les travaux de Gabriel Droulers ont montré que le procédé *nanodamascene* permet de créer des SET fonctionnels à 50 mK. Une optimisation de certaines étapes du procédé de fabrication permettrait notamment d'augmenter la température d'opération. La métallisation de l'îlot se fait par évaporation. Cette méthode ne permet pas un excellent contrôle sur l'épaisseur et la conformabilité du dépôt. Une métallisation par ALD permettrait un contrôle sur la quantité de métal déposé avec un excellente conformabilité. De plus, le matériau diélectrique qui constitue les jonctions tunnel du SET est fait par oxydation *in situ* du titane. Ceci ne permet pas un excellent contrôle sur l'épaisseur et la stochiométrie. Le choix d'une meilleur couple diélectrique/métal permettrait d'améliorer les performances du SET. Une déposition d'un matériau diélectrique par ALD, qui permettrait de s'affranchir de la limitation de l'oxyde métallique des électrode, offrirait encore une fois un meilleur contrôle et une plus grande stabilité à long terme. Le choix du matériau doit aussi être fait en considérant la permittivité électrique de celui-ci.

---

---

Le procédé développé par Bruno Lee Sang possède aussi plusieurs avantages. Ce procédé est effectué avec des étapes compatibles avec les techniques industrielles et permet aussi de diminuer la taille de l'îlot de moitié en utilisant un dépôt du matériau diélectrique par ALD dans le procédé *nanodamascene* inverse.

L'objectif de cette maîtrise est de développer les briques technologiques pour la fabrication et la caractérisation d'un détecteur de charge à partir d'un transistor monoélectronique métallique damascène fonctionnant à la température de l'azote liquide (77K). Cet objectif sera réalisé en combinant, mais surtout en optimisant, les modifications proposées par mes deux prédécesseurs, tout en utilisant des procédés compatibles avec les procédés de l'industrie.

Durant cette maîtrise, il a été possible de démontrer le fonctionnement théorique d'un tel dispositif à 77 K à l'aide de simulation par éléments finis. De plus, les procédés ALD utilisés pour la fabrication des dispositifs ont tous été développés et caractérisés durant les travaux de maîtrise. Finalement, chaque étape nécessaire au procédé de fabrication a été développée et caractérisée indépendamment démontrant ainsi la faisabilité d'une intégration d'un détecteur de charge.

Le document se sépare en 4 chapitres distincts. Le premier chapitre est une revue de la littérature concernant les principaux types de détecteurs de charge ainsi que les différents types de transistors monoélectronique. Le deuxième chapitre porte sur la simulation du dispositif double SET. Le troisième chapitre explique le fonctionnement de la déposition de matériau par ALD ainsi que les différents procédés développés et caractérisés pour le projet. Finalement, le quatrième chapitre décrit chaque étape du procédé validé expérimentalement.

---



# CHAPITRE 2

## Revue de la littérature

Cette section se divise en 3 parties. La première partie est une revue de la littérature qui concerne les principaux types de détecteurs de charge qui sont utilisés en majorité au sein de la communauté scientifique. La deuxième partie constitue une revue des différents types de transistors monoélectroniques qui ont été développés au fil du temps avec une attention particulière sur les SET métalliques. Finalement, la troisième partie concerne les travaux effectués sur le procédé nanodamascène et nanodamascène inverse au cours des dernières années.

### 2.1 Détecteur de charge

Les dispositifs les plus répandus pour faire de la détection de charge dans le domaine de l'informatique quantique sont les transistors monoélectroniques (SET)[17] et les points de contact quantiques (QPC, *Quantum Point Contact*)[15]. Ces dispositifs sont intéressants pour plusieurs raisons. Leur conception est relativement simple, ils sont faciles à fabriquer et leur sensibilité intrinsèque permet des mesures efficaces avec des détecteurs générant un bruit près du minimum permis par la mécanique quantique [1, 7]. Ces deux types de détecteurs ne sont pas seulement intéressants pour faire la mesure de l'état d'un qubit, mais ils sont aussi intéressants pour la détection d'un photon [28] ou pour des applications dans le domaine de la métrologie [6, 16].

Un QPC est un dispositif très simple. Il s'agit simplement d'un conducteur. L'appellation de contact quantique vient du fait que les dimensions du conducteur doivent être comparables à la longueur d'onde de Fermi des électrons. Dans ces conditions, le transport des électrons se fait de manière balistique et quantifiée [48] et la conductance devient elle aussi quantifiée. Pour expliquer ce phénomène, il est nécessaire de considérer l'électron comme une onde. Le confinement des électrons dans le QPC agit comme un guide d'onde ce qui a pour effet de quantifier le mouvement des électrons sous forme de mode discret. Pour qu'il puisse avoir un transport d'un électron, il faut que la fonction d'onde de l'électron interfère constructivement avec le QPC et ceci peut se produire que pour un certain nombre de modes. Puisque chacun de ces modes est indépendant, chaque état contribue à la conduction, et ainsi, la conductance totale est la somme de chaque contribution de chacun des modes. Finalement, puisque la conductance dépend fortement du confinement

des électrons, une petite variation du potentiel électrique environnant, comme le passage d'un électron, va créer une perturbation détectable avec le QPC.

Les SETs possèdent trois électrodes, la source, le drain et la grille. Ce qui distingue le SET est la présence d'un îlot ou boîte quantique entre la source et le drain (voir figure 2.1 a). La nature et la dimension de l'isolant qui sépare l'îlot sont contrôlées de manière à pouvoir faire traverser des électrons par effet tunnel. Finalement, la grille est couplée capacitivement avec l'îlot pour pouvoir contrôler le potentiel de celui-ci. Le comportement d'un SET est principalement décrit par le phénomène de blocage de Coulomb. Lorsqu'un électron est ajouté à un îlot initialement neutre, il est possible que la répulsion coulombienne créée par cet électron soit suffisamment grande pour qu'il soit impossible pour un autre électron d'être ajouté à l'îlot [30]. Il existe donc une énergie précise qui sera définie dans la section 2.2 où il serait possible pour un autre électron de traverser la barrière tunnel. Finalement, en ajustant les potentiels de chaque électrode, il est possible dans cette configuration de faire circuler un courant entre le drain et la source (voir figure 2.1 b). Pour effectuer la détection de charge, il suffit donc d'ajuster le potentiel de la grille pour se trouver dans une situation où l'énergie de l'îlot est près de l'énergie nécessaire pour permettre une conduction et ainsi, le passage d'une charge à proximité du détecteur, par exemple, va influencer le potentiel de l'îlot et permettre la détection.

Historiquement, les QPC sont apparues avant les SETs pour la détection de charge des qubits de spin [14]. Bien qu'ils ont été très répandus pour faire de la détection de charge, les QPC sont plus difficiles à utiliser que les SETs. Trouver le bon point d'opération est plus complexe et c'est souvent les quelques premiers niveaux d'énergie qui peuvent servir à la détection. Aussi, leurs utilisations sont limitées aux systèmes 1D balistique et pratiquement limité au semi-conducteur. Les SETs ne sont pas seulement limités à ce type de système et peuvent donc être utilisés dans plus d'application. De plus, il est possible avec certains SETs de modifier la plage de sensibilité contrairement au QPC. Aussi, dans un SET métallique par exemple, une infinité de niveaux sont disponibles et l'écart entre les niveaux est constant ce qui permet à son utilisateur de trouver facilement un point d'opération comparativement aux QPC.

## 2.2 Le transistor monoélectronique

### 2.2.1 Principe de fonctionnement

Comme il a été mentionné plus haut, il existe des niveaux d'énergie discrets pour lesquels il est possible de rajouter des électrons dans l'îlot pour un transistor monoélectronique.



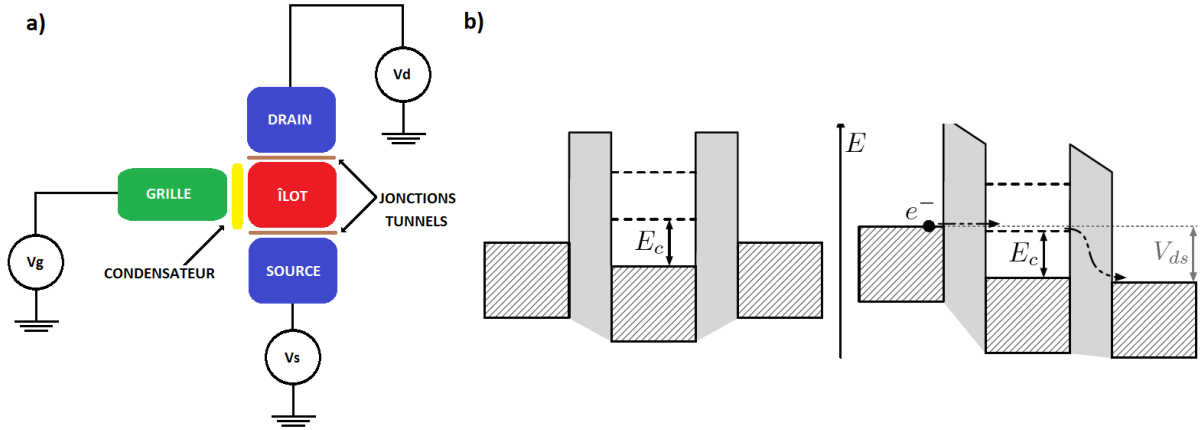


Figure 2.1 Schéma conceptuel d'un SET en a) et diagramme d'énergie entre la source l'îlot et le drain en b) pour un SET métallique

Cette énergie  $E_a$  est définie à l'équation 2.1. Elle dépend de l'énergie de charge  $E_c$  et de l'énergie cinétique des électrons  $E_k$  ajoutés à l'îlot. D'une part, l'énergie de charge dépend entièrement de la capacité  $C$  de l'îlot avec son environnement. Plus l'îlot possède une petite capacité avec son environnement, plus l'énergie de charge sera importante. Cette capacité est définie comme la somme des capacités de l'îlot avec chaque composante environnante comme la capacité avec la grille, avec le drain, avec le substrat, avec des impuretés dans le matériau, etc. Les matériaux diélectriques utilisés pour faire les jonctions et la passivation contribuent donc grandement à la capacité de l'îlot. C'est aussi une raison pour laquelle il est souhaitable d'avoir un îlot de petite taille. D'autre part, l'énergie cinétique dépend du volume de l'îlot  $V$  et de la densité d'état au niveau de la surface de Fermi  $g(\varepsilon_F)$  [30]. Le terme  $E_k$  est non négligeable si la taille de l'îlot devient comparable à la longueur d'onde de de Broglie des électrons à l'intérieur de l'îlot. Cette dernière affirmation devient importante dépendamment du type de matériau utilisé pour faire l'îlot. Finalement, pour pouvoir distinguer chaque niveau d'énergie d'un SET, il est absolument nécessaire que l'énergie  $E_a$  soit plus grande que l'énergie thermique  $k_B T$ . Dans la littérature, il est souvent dit que  $E_a > 10k_B T$ .

$$E_a = E_c + E_k \quad (2.1)$$

$$E_c = e^2/C \quad (2.2)$$

$$E_k = 1/g(\varepsilon_F)V \quad (2.3)$$

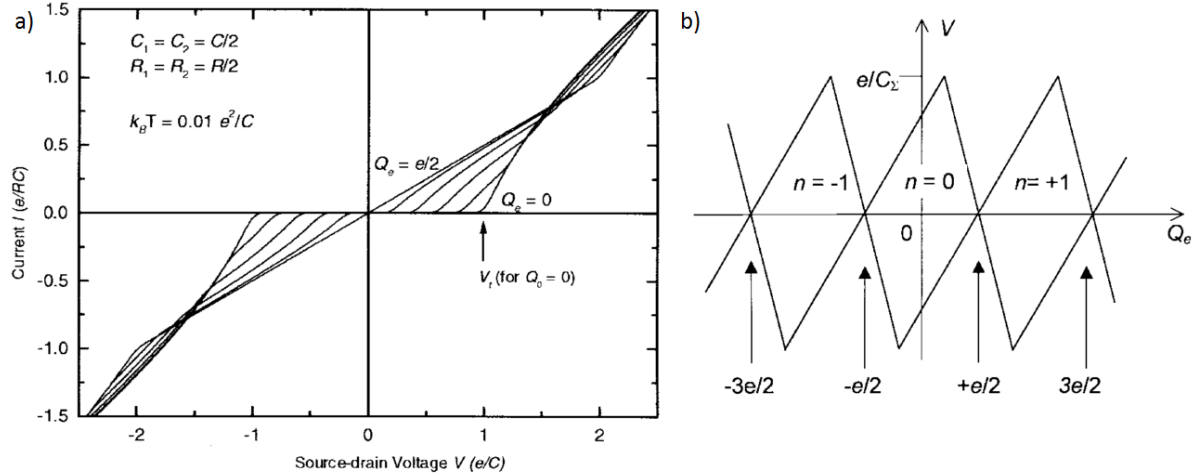


Figure 2.2 Comportement d'un SET couplé capacitivement avec la grille. a) Courbe du courant en fonction de la tension appliquée entre la source et le drain. b) Tension de seuil  $V_t$  du blocage de Coulomb en fonction de la charge externe  $Q_e$  [30]

Le blocage de Coulomb se manifeste en traçant le courant circulant dans l'îlot en fonction de la tension entre la source et le drain (voir figure 2.2 a). Le courant est nul jusqu'à ce que la tension  $V_{DS}$  soit supérieure à l'énergie de charge de l'îlot  $E_C$ . De plus, en faisant varier le potentiel sur la grille qui est couplée avec l'îlot, il est possible de contrôler le potentiel de l'îlot indépendamment de la tension  $V_{DS}$ . La figure 2.2 b) appelée diamant de Coulomb représente la tension de seuil  $V_t$  du blocage de Coulomb en fonction de la charge externe  $Q_e$  appliqué sur l'îlot. Les lignes représentent les différentes régions où la conduction est possible. En se positionnant dans une situation près d'une ligne de conduction, une petite variation du potentiel de l'îlot créée par la présence d'un électron à proximité par exemple va créer une variation de courant détectable. C'est ainsi qu'est utilisé un SET pour faire la détection de charge.

### 2.2.2 Différent type de SET

Parmi les différents SETs connus, on peut distinguer 3 différents types principaux, les SETs moléculaires, les SETs semi-conducteurs et les SETs métalliques. Les SETs moléculaires possèdent un îlot constitué d'une ou plusieurs molécules offrent le meilleur potentiel de SET fonctionnant à haute température grâce à la taille des îlots qu'ils peuvent atteindre [19]. Cependant, ils ont le désavantage d'être plus complexes à fabriquer que les SETs métalliques et semi-conducteurs et sont difficilement intégrables à grande échelle.

Les SETs semi-conducteurs quant à eux possèdent un îlot composé d'un semi-conducteur. Dans un SET semi-conducteur, le terme d'énergie cinétique  $E_k$  est de manière générale

non négligeable ce qui a pour effet d'augmenter la différence d'énergie entre les niveaux [21]. Cependant, puisque le terme d'énergie cinétique est directement proportionnel au volume de l'îlot, il est très difficile de reproduire un SET semi-conducteur avec les mêmes caractéristiques électriques. De plus, la fabrication de tel dispositif doit directement se faire sur un substrat semi-conducteur rendant difficile l'implantation de ceux-ci dans un procédé BEOL.

Pour les SET métalliques, puisque l'îlot est fait d'un métal, le niveau de Fermi se trouve dans la bande de conduction et ainsi, la densité d'état devient suffisamment importante pour pouvoir négliger le terme  $E_k$  et les niveaux d'énergie sont donc seulement définie par l'énergie de charge. Pour des dimensions semblables, ceci veut dire qu'un SET semi-conducteur fonctionnerait à plus haute température qu'un SET métallique puisque le terme d'énergie cinétique  $E_k$  ne contribue pas à la différence d'énergie des niveaux. Cependant, négliger  $E_k$  implique que le volume de l'îlot n'influence pas directement les niveaux d'énergie. Il est alors plus facile de reproduire des SET avec le même comportement. De plus, puisque le SET métallique est constitué seulement d'un métal et d'un diélectrique, il est possible d'incorporer ce type de dispositif dans un procédé BEOL de l'industrie.

### 2.2.3 SET métallique

Le premier SET métallique a été fabriqué par Fulton et Dolan en 1987 [17]. La méthode de fabrication utilisée est une technique d'évaporation à angle pour former des jonctions tunnel (*shadow evaporation technic*). Cette technique illustrée sur la figure 2.3 consiste à déposer un métal de façon directionnel à un angle donné. Ensuite, une oxydation est effectuée pour créer la barrière isolante qui constituera la jonction tunnel. Finalement, une autre évaporation à un angle opposé est effectuée pour compléter la jonction tunnel. Les deux jonctions tunnel sont placées une à la suite de l'autre et forme effectivement un transistor monoélectronique. Pour pouvoir effectuer cette technique, une bicouche de résine doit être déposée pour créer les motifs voulus. De plus, cette technique ne permet pas d'avoir la précision nécessaire pour obtenir des îlots suffisamment petits pour que le SET associé soit fonctionnel à température ambiante.

Une autre méthode de fabrication développée par K. Matsumoto et al. [32] a permis d'observer un fonctionnement de SET métallique à température ambiante. La méthode consiste à utiliser une pointe AFM afin d'oxyder localement le métal et ainsi, créer et former des jonctions tunnel et des îlots. Cette technique offre évidemment une excellente résolution et une excellente précision pour permettre de faire fonctionner un SET métallique à température ambiante. Cependant, cette technique n'est pas du tout compatible en industrie

---

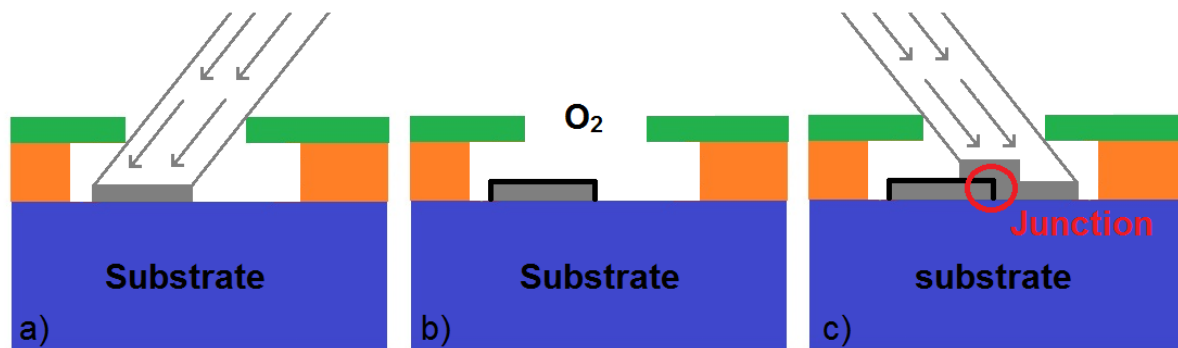


Figure 2.3 Technique d'évaporation à angle pour la formation de jonctions tunnel. a) Évaporation d'une couche métallique à angle sur une bicouche de résine. b) Oxydation de la couche métallique. c) Évaporation d'une deuxième couche de métal à angle opposé. La jonction se situe à l'interface de la région métal oxyde métal de la figure c).

puisque'il serait beaucoup trop long d'oxyder localement plusieurs milliards de transistors par gaufre de 300 mm.

D'autres SETs sont fabriqués directement à partir d'un faisceau d'électrons. Le groupe de Y. Pashkin et al. [36] ont utilisé une technique à base d'un masque de germanium de 10 nm fait par électrolithographie et se sont servi de ce masque pour faire de l'évaporation à angle d'aluminium et de l'oxydation *in situ* pour fabriquer leur jonction tunnel. Avec cette technique, ils ont réussi à démontrer le fonctionnement de leur SET à température ambiante.

## 2.3 Procédé nanodamascène

En 2007, le groupe de Dominique Drouin a développé un procédé qui a retenu l'attention de la communauté scientifique. De plus, les travaux de C. Dubuc et al. [12] ont été cités dans le rapport de 2007 de l'ITRS. Ils ont développé un procédé novateur pour fabriquer des SETs. Ce procédé appelé *nanodamascene* combine l'électrolithographie et la planarisation mécano-chimique (CMP) pour fabriquer des jonctions tunnel. L'électrolithographie utilisée ne dépasse pas les dimensions critiques que l'on pourrait obtenir avec la lithographie par immersion et les techniques de double *patterning* par exemple retrouvé en industrie. Les étapes de lithographies e-beam pourraient être remplacées par une lithographie stepper.

La première étape du procédé (voir figure 2.4 1) consiste à graver sélectivement par voie humide des tranchées dans l'oxyde dont la densité a été modifiée par un faisceau d'électrons. Ensuite, un métal est déposé dans les tranchées pour former l'îlot du SET. La largeur de la ligne de métal déposé est très importante puisque c'est elle qui va définir les dimensions

de l'îlot qui sont critiques pour le fonctionnement à haute température. Une oxydation de ce métal est ensuite effectuée pour créer la partie isolante de la jonction tunnel (voir figure 2.4 2). L'étape suivante est une déposition de métal sur toute la surface de l'échantillon (voir figure 2.4 3). Finalement, la CMP est effectuée jusqu'à l'épaisseur voulue (voir figure 2.4 4). Le contrôle sur l'épaisseur restante est très important pour obtenir des SETs fonctionnels à haute température car la capacité de l'îlot avec l'environnement est directement proportionnel à l'énergie de charge (Voir section 2.2.1). Pour cette raison, l'épaisseur de l'îlot ne doit pas dépasser quelques nanomètres, et il faut donc que le contrôle sur la CMP soit inférieur au nanomètres.

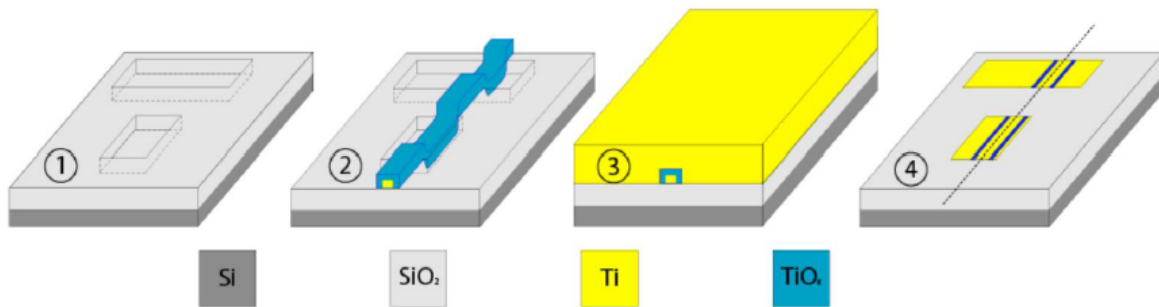


Figure 2.4 Procédé nanodamascène. 1) Gravure de tranchées dans l'oxyde de Silicium. 2) Évaporation de métal qui constituera l'îlot et l'oxydation de ce dernier. 3) Recouvrement de métal sur toute la surface. 4) planarisation mécano-chimique (CMP) jusqu'à l'épaisseur désirée

Dubuc et al. [12] ont utilisé le titane comme métal et son oxyde conjugué, le  $\text{TiO}_2$ , comme isolant de la jonction tunnel. Ce choix a été fait pour deux raisons. Le Ti est suffisamment ductile et adhère bien au  $\text{SiO}_2$  ce qui fait un bon candidat pour subir les étapes de CMP et avec une barrière de seulement 0.3 eV à l'interface, la résistance des jonctions est suffisamment basse et permet un bon courant de conduction du dispositif. Les travaux de Dubuc et al. [12] ont permis d'observer un fonctionnement jusqu'à 400 K. Cependant, le procédé n'est pas industrialisable puisque la gravure de l'oxyde de silicium pour former les tranchées s'effectue par faisceau d'électrons qui modifie la structure du  $\text{SiO}_2$  localement et cette technique n'est pas utilisable en industrie. Les travaux subséquents du même groupe de recherche [4, 34] ont apporté des modifications au procédé pour intégrer une grille au procédé afin de permettre le contrôle sur le régime utilisé et aussi pour rendre le procédé compatible avec les technologies CMOS.

En 2015, Gabriel Droulers, a fabriqué deux SETs métalliques couplés en utilisant le procédé *nanodamascène* avec une technique de gravure plasma compatible avec l'industrie [11]. Le

procédé est donc le même que celui présenté sur la figure 2.4 à l'exception que la gravure du  $\text{SiO}_2$  (étape 1 de la figure 2.4) ce fait à l'aide d'une électrolithographie suivit d'une gravure plasma au lieu de graver sélectivement par voie humide les tranchées.

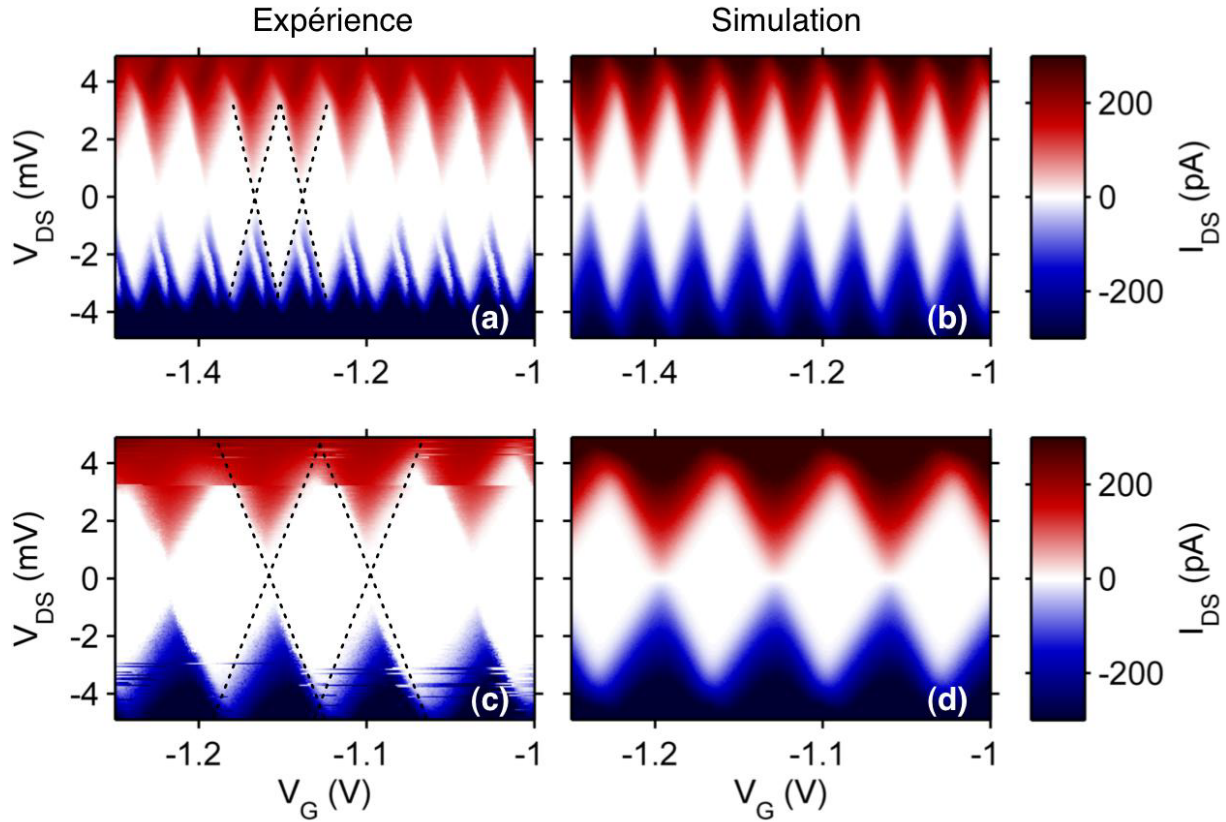


Figure 2.5 Observation de diamant de Coulomb sur 2 SET couplés comparés avec la simulation du dispositif. [11]

La figure 2.5 montre des mesures électriques des deux SETs caractérisés individuellement et la comparaison avec la simulation du diamant de Coulomb en utilisant des paramètres extraits des dimensions des transistors et des valeurs théoriques des paramètres physiques des matériaux. La concordance des valeurs expérimentales et de la simulation permettent de confirmer le comportement et les performances des SETs fabriqués. Les mesures ont cependant été effectuées à 50 mK et le fonctionnement de ces dispositifs ne pouvait pas dépasser la température d'opération de 5K. Ce procédé de fabrication utilise une étape de soulèvement pour réaliser l'îlot du SET. Cette étape peut être remplacée par un procédé de dépôt suivit d'une gravure pour être complètement compatible avec des procédés microélectroniques industriels.

Durant cette maîtrise, j'ai réalisé et caractérisé un SET basé sur le procédé de Droulers *et al.* [11]. Les caractérisations ont été effectuées dans un cryostat à température variable. La

figure 2.6 est une mesure en température du courant drain/source pour une polarisation de -10 à 10 V avec une tension de grille nulle . Un plateau de courant est observé à 1 et 10 K et celui-ci disparaît à 25 et 40 K. Ce comportement est caractéristique au blocage de Coulomb.

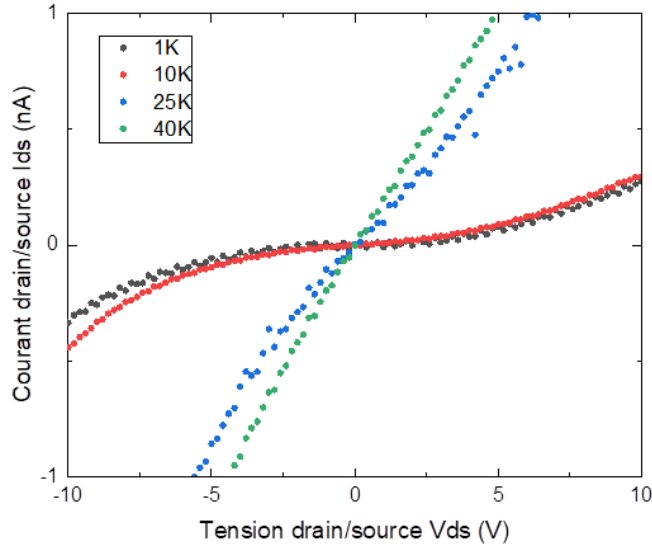


Figure 2.6 Courant drain/source en fonction de la tension pour une polarisation de grille nulle. Du blocage de coulomb est observé à 1 K et celui-ci disparaît en augmentant la température.

De plus, il a été possible d’observer des oscillations de coulomb reproductible sur ce dispositif (voir figure 2.7). La période des oscillations correspond à un couplage avec la grille de 3.2 aF. Ceci est similaire avec le couplage de grille mesuré par Drouler et al [11] de 2.58 aF . Ces mesures permettent de valider la reproductibilité du procédé de Gabriel.

Finalement, en 2016, toujours dans le même groupe de recherche, le doctorant Bruno Lee Sang a développé un procédé appelé *nanodamascene inverse* [29]. Dans ce procédé, la source et le drain des SETs sont fabriqués avant l’îlot alors que pour les travaux précédents, l’îlot était fabriqué avant la source et le drain des transistors. Cette particularité fait en sorte qu’il serait possible de diminuer la taille de l’îlot en deçà des dimensions possible par l’électrolithographie avec un dépôt ALD (*atomic layer deposition*).

Considérant le fonctionnement et la reproductibilité du procédé de Gabriel, il est raisonnable de croire qu’en combinant celui-ci avec le procédé nanodamascène inverse et des dépôts ALD il est possible de fabriquer un détecteur de charge basé sur un transistor monoélectronique qui fonctionnerait à plus haute température. Des simulations par éléments finis permettront de déterminer une température d’opération pour ce dispositif.

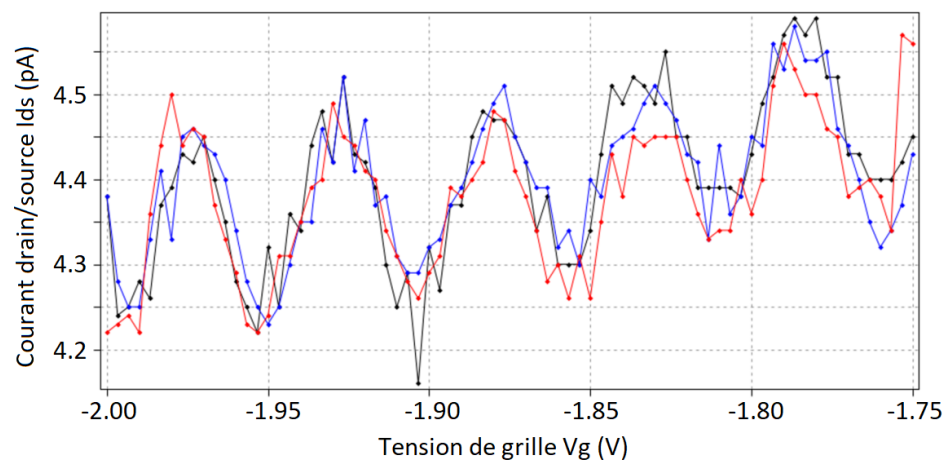


Figure 2.7 Oscillation de Coulomb reproductible. La période d'oscillation correspond à un couplage avec la grille de 3.2 aF



# CHAPITRE 3

## SIMULATION

Cette section présente les résultats de simulation de dispositifs SETs couplés pour la détection de charge pouvant fonctionner à la température de l'azote liquide (77 K). Pour déterminer la température d'opération, un double SET est simulé par éléments fini pour extraire la capacité de l'îlot avec son environnement puisque celle-ci est directement proportionnel à la température d'opération pour un SET métallique (voir section 2.2.1). Le critère utilisé pour déterminer la température d'opération est le suivant :  $E_c \geq 10k_bT$ . Une optimisation de la géométrie et du choix du matériaux du dispositif est donc nécessaire pour maximiser la température d'opération et sera discuté dans la section 3.1. Par la suite, connaissant la géométrie du dispositif, il est possible de déterminer le courant pouvant traverser les jonctions tunnel et ainsi déterminer la sensibilité du détecteur de charge (voir section 3.2).

### 3.1 Évaluation de la température d'opération

Le logiciel utilisé pour effectuer les simulations par élément fini est COMSOL Multiphysics. Le module AC/DC est utilisé ici pour simuler la distribution de charge à un potentiel connu pour les différentes électrodes du dispositif et ainsi déterminer la capacité entre celles-ci.

La définition de la capacité  $C = Q/V$  est utilisée pour déterminer la capacité entre deux conducteurs. La charge sur les conducteurs doit donc être évaluée par la simulation. Pour ce faire, la géométrie des îlots et des électrodes est définie et un potentiel de 1V est fixé sur une seule électrode tandis que le potentiel est fixé à 0V pour les autres. En utilisant la formulation macroscopique de la loi de Gauss ( $\nabla \cdot D = \rho_f$ ), il est possible de connaître la distribution des charges générée par ce potentiel sur chaque électrode fixée à 0V. Finalement, le logiciel intègre la densité de charge sur chaque électrode et permet ainsi de déterminer la charge totale sur chacune d'elles. Puisque le potentiel utilisé est de 1V, la valeur obtenue est la même que la valeur de la la capacité. En utilisant cette méthode, il est donc possible d'obtenir la capacité entre l'électrode mise à 1V et toutes les autres électrodes et les îlots. En effectuant ce processus pour chaque électrode et chaque îlot une matrice de capacité est obtenue pour chaque élément du dispositif et c'est de cette manière que la capacité de l'îlot avec son environnement est calculée.

			ID	SET-1	SET-2	SET-3	SET-4	SET-5	SET-6
			SSE	K215T	K215T	K215T	K215V	K215X	J117Y
			Cellule	C4	D4	D4	D4	C4	D4
			Dispositif	SETdg(g1)	dSET-L	dSET-R	dSET-L(gR)	SETdg(g1)	qSET-R
Géométrie	Oxy.	min.		1	1	1	2	5	5
	$t_{ox}$	nm		2,5	2,5	2,5	3,6	4,9	4,9
	$W_G$	nm		203	224	232	230	178	118
	$W_T$	nm		28	28	28	32	20	30
	$L_I$	nm		23	84	84	72	114	60
	$d_G$	nm		39	85	83	157	149	41
	$t_{CMP}$	nm		10,5	7,7	7,7	7,2	8,5	13,4
Jct. Tunnel	$\epsilon_r^J$	–		25	20	20	35	45	40
	$C_j(pp)$	aF		26,0	19,1	19,1	19,8	13,8	29,0
	$C_j(sim)$	aF		29,7	20,0	20,1	22,8	20,5	34,4
	$C_1(exp)$	aF		21,8	21,2	20,1	36,0	26,4	38,0
	$C_2(exp)$	aF		43,9	21,1	19,4	19,0	21,8	67,0
	$R_{t1}(sim)$	MΩ		2	4	6	1000	200	145
	$R_{t2}(sim)$	MΩ		5	2	2	1500	100	180
Grille	$\epsilon_r^G$	–		3,9	3,9	3,9	3,9	3,9	3,9
	$C_g(pp)$	aF		1,89	0,70	0,73	0,36	0,35	1,33
	$C_g(sim)$	aF		1,34	2,35	2,55	0,47	1,71	2,05
	$C_g(exp)$	aF		0,62	2,34	2,58	0,51	0,25	1,78
Ilot	$C_\Sigma(pp)$	aF		53,9	38,9	39,0	40,0	28,0	59,3
	$C_\Sigma(sim)$	aF		60,7	42,4	42,8	46,1	42,7	70,9
	$C_\Sigma(exp)$	aF		66,3	44,6	42,1	55,5	48,5	106,8
$E$	$E_C(pp)$	meV		2,97	4,12	4,11	4,01	5,72	2,70
	$E_C(sim)$	meV		2,64	3,78	3,74	3,48	3,75	2,26
	$E_C(exp-c)$	meV		2,42	3,59	3,81	2,89	3,30	1,50
	$E_C(exp-d)$	meV		2,50	2,90	3,00	3,04	3,04	1,50
$T$	$T_m$	K		1,55	0,05	0,05	1,55	1,55	1,55
	$T_{Max}$	K		2,47	4,71	3,48	2,67	3,66	1,71

Figure 3.1 Tableau tiré de la thèse de Gabriel Droulers. Ce tableau est une comparaison des valeurs expérimentale obtenue pour différent dispositif. Ceux surlignés en jaune correspondent à ceux qui ont démontré un fonctionnement. Les encadrés en vert correspondent à la comparaison des différentes capacités et énergie de charge expérimentale et simulée avec le logiciel COMSOL multiphysics. [11]

Un double SET couplé est simulé. Cette configuration a été choisie pour que le SET de droite par exemple soit utilisé pour le transport des électrons tandis que le SET de gauche soit utilisé pour détecter le transport des électrons de l'autre SET. Le dispositif est généré en 3D et est basé sur les travaux de simulation de Gabriel Droulers [11] qui a démontré que les résultats de simulation qu'il a obtenue avec COMSOL concorde avec les résultats expérimentaux. Sur la figure 3.1, les valeurs encadrées en vert correspondent à l'énergie de charge, capacité de jonction, de grille et d'îlot évalué expérimentalement et par simulation sur COMSOL. De cette manière, il est juste d'affirmer que l'utilisation de COMSOL pour extraire les capacités du double SET est une procédure valide.

La géométrie du dispositif est montrée sur la figure 3.2. Sur la figure 3.2 a), une vue de haut montre les deux SET couplé. Le SET 1 est représenté à gauche avec S1, G1, I1 et D1 respectivement la source, la grille, l'îlot et le drain du SET et le SET 2 est représenté à droite avec la même notation. Sur la figure 3.2 b) les différents paramètres géométriques à optimiser sont identifiés.  $t_{cmp}$  est l'épaisseur de l'îlot,  $L_I$  est la longueur de l'îlot,  $t_{ox}$  est l'épaisseur des jonctions tunnels,  $W_T$  est la largeur de l'îlot et  $d_I$  est la distance entre les deux îlots.

Le dispositif simulé est constitué d'un substrat de silicium recouvert de  $\text{SiO}_2$  dans lequel le double SET est encastré puis recouvert d'une couche de passivation de  $\text{Si}_3\text{N}_4$  ou de  $\text{SiO}_2$ . Un volume d'air est considéré autour du dispositif. Les conditions aux limites périodiques sont utilisées pour faire l'approximation que le champ électrique doit s'étendre jusqu'à l'infini. Sur la figure 3.3, on peut voir le maillage du dispositif à différents grossissements. En a), le contour d'air modélisé avec la condition de frontière ainsi que le dispositif en entier est représenté. La portion centrale du dispositif est alors montrée en 3.3 b) pour plus de détail. En effet, la portion comprise dans l'ellipse centrale possède un maillage beaucoup plus fin puisque c'est d'une part, la région d'intérêt et c'est dans cette région que le champ électrique risque de varier rapidement dans l'espace. Finalement, des contraintes sur la densité de point à utiliser près de l'îlot ont été ajoutées, de sorte que le maillage soit suffisamment fin au niveau des jonctions tunnel peu importe la dimension de ceux-ci (voir figure 3.3 c)).

La conception du double SET fonctionnant à 77 K dépend de deux paramètres ou groupes de paramètres qui permettent la modification de la capacité des îlots : i) les paramètres géométriques et ii) les paramètres des jonctions tunnels (matériaux et épaisseurs). L'optimisation de ces paramètres permettra d'ajuster la température d'opération au plus proche des 77 K afin de respecter le cahier des charges. Des simulations ont été effectuées en fonction de différents paramètres géométriques du dispositif, comme par exemple l'épaisseur

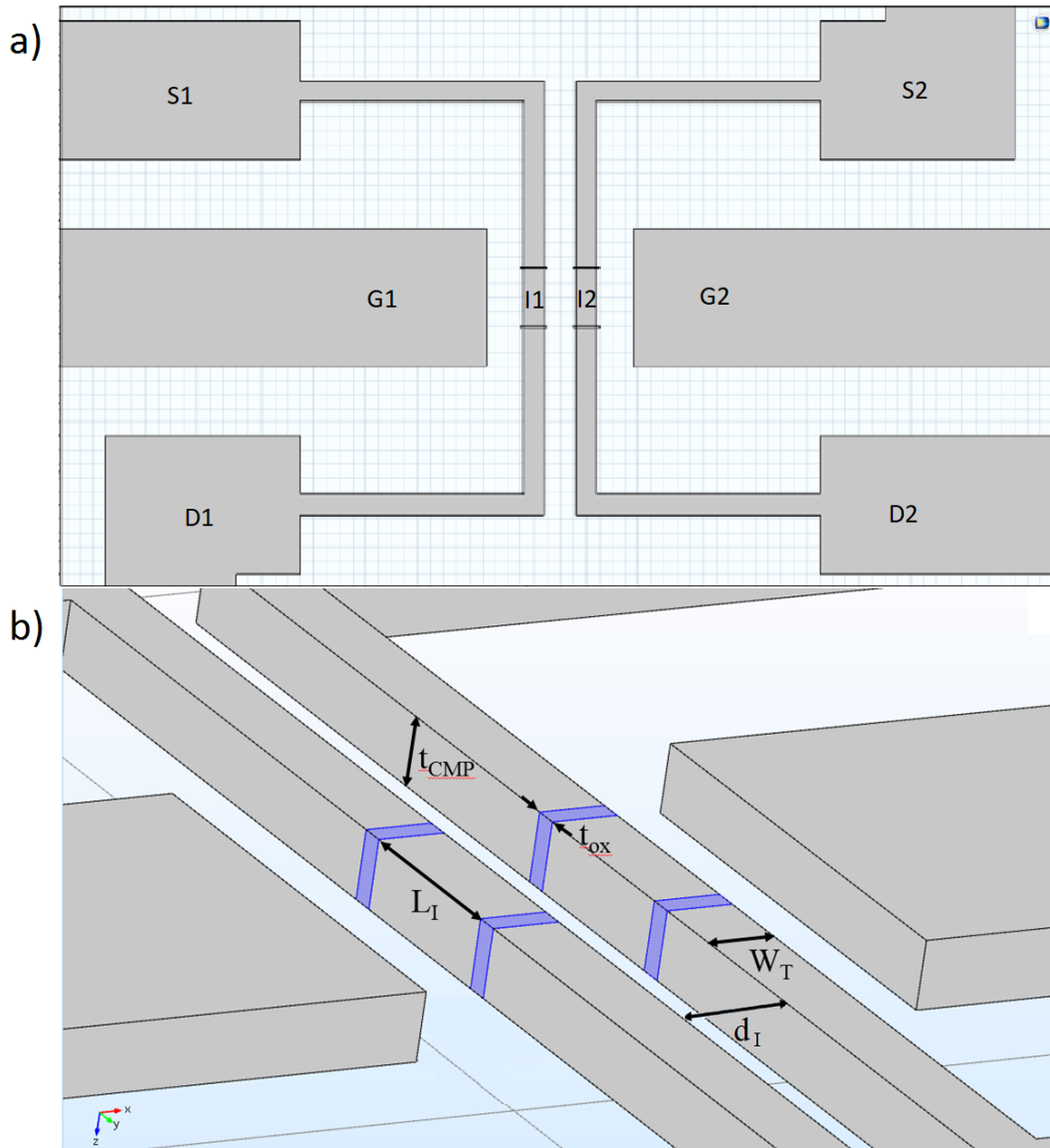


Figure 3.2 Géométrie du Double SET. En a), une vue de haut montre les deux SET couplé. Le SET 1 est représenté à gauche avec S1, G1, I1 et D1 respectivement la source, la grille, l'îlot et le drain du SET et le SET 2 est représenté à droite avec la même notation. En b), les différents paramètres géométriques optimisés sont identifiés.  $t_{cmp}$  est l'épaisseur de l'îlot,  $L_I$  est la longueur de l'îlot,  $t_{ox}$  est l'épaisseur des jonctions tunnels,  $W_T$  est la largeur de l'îlot et  $d_I$  est la distance entre les deux îlots.

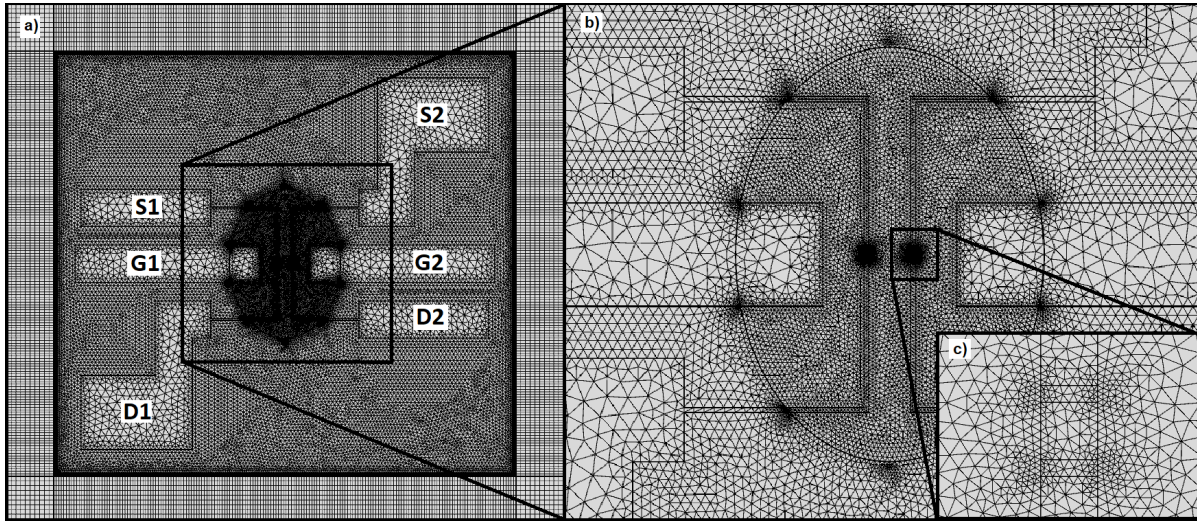


Figure 3.3 Schéma du *mesh* du double SET simulé sur COMSOL Multiphysics. En a) une vue d'ensemble du dispositif et en b) et c), une vue rapprochée des électrodes et de l'îlot.

de l'îlot, la distance entre deux îlots, la largeur de l'îlot, etc. Ce travail a été fait d'une part pour évaluer l'impact de la variation de ces paramètres sur la capacité de l'îlot et d'autre part pour connaître les dimensions optimales à utiliser tout en considérant les contraintes au niveau de la fabrication. Une fois les dimensions optimisées, la capacité de l'îlot est évaluée en fonction de la largeur des jonctions tunnels pour obtenir un fonctionnement théorique à 77 K.

La figure 3.4 montre sous forme de graphiques l'impacte de la variation de différent paramètre géométrique du dispositif. Puisqu'un seul paramètre est varié à la fois, et que les autres paramètres ont été gardés constants, la valeur de la capacité n'est pas une valeur optimisée. Cependant, l'allure des courbes permettent d'évaluer qualitativement l'impact du paramètre étudié sur la capacité de l'îlot et ainsi permettre de déterminer la valeur optimale de chacun de ceux-ci. L'impact de la variation de chacun des paramètres étudié sera donc discuté ici.

### Épaisseur de la couche d'isolation ( $\text{SiO}_2$ ) avec le substrat

La couche de  $\text{SiO}_2$  sert à isoler électriquement le dispositif du substrat. La capacité de l'îlot par rapport au substrat diminue avec l'augmentation de l'épaisseur d'oxyde (figure 3.4 a)). À partir d'une épaisseur de 100 nm, la capacité est constante. Ceci permet donc de conclure qu'une couche de  $\text{SiO}_2$  de 100 nm entre le dispositif et le substrat de Si est suffisante pour minimiser l'impacte sur la capacité de l'îlot. Considérant qu'avec le procédé de fabrication, des gravures de l'oxyde 20 à 40 nm de profondeur sont effectuées, une épaisseur initiale

de 150 nm de  $\text{SiO}_2$  sur le substrat est suffisant pour minimiser l'impact sur la capacité de l'îlot et c'est cette valeur qui sera utilisée comme épaisseur optimale lors de la simulation de l'épaisseur des jonctions tunnel.

### **Épaisseur de la couche de passivation de $\text{Si}_3\text{N}_4$**

La couche de passivation sert à protéger les dispositifs de son environnement après la fabrication ainsi qu'à les isoler électriquement par rapport aux éventuelles couches de métal subséquentes. La capacité de l'îlot augmente rapidement en fonction de l'épaisseur de la couche de passivation et commence à saturer à une épaisseur d'environ 100 nm (figure 3.4 b)). Puisque le matériau utilisé pour la passivation possède une permittivité plus élevée que l'air, c'est normal que la capacité de l'îlot augmente en fonction de l'épaisseur de celle-ci. Pour diminuer l'impact de la couche de passivation sur la capacité de l'îlot, la couche de  $\text{Si}_3\text{N}_4$  sera remplacé par du  $\text{SiO}_2$  dans les simulations de l'épaisseur des jonctions tunnel, car ce matériau possède une permittivité plus faible et il sera utilisé dans le procédé de fabrication.

### **Distance entre les 2 îlots**

La capacité d'un îlot en fonction de la distance entre les 2 îlots diminue non linéairement (figure 3.4 c)). Ceci s'explique par le fait que la distance entre l'îlot avec le drain et la source du SET opposé diminue aussi et augmente ainsi la capacité entre ceux-ci. Une distance de 80 nm entre l'îlot est considérée comme valeur optimale puisqu'elle permet de bien définir les tranchées au niveau de l'électrolithographie et permet aussi d'avoir un couplage maximal entre les deux îlots en minimisant l'impacte de la source et du drain sur la capacité totale de l'îlot.

### **Largeur de l'îlot**

La capacité de l'îlot varie linéairement en fonction de la largeur de celui-ci (figure 3.4 d)). Ce comportement est attendu puisque la capacité de l'îlot est directement proportionnelle aux dimensions de celui-ci. Évidemment, la plus petite largeur d'îlot est souhaitée. En considérant la résolution sur l'électrolithographie et le dépôt de  $\text{SiO}_2$  ALD pour réduire la taille des tranchées, une largeur d'îlot de 10 nm est réalisable expérimentalement.

### **Longueur de l'îlot**

La capacité de l'îlot varie linéairement en fonction de la longueur de celui-ci pour les mêmes raisons (figure 3.4 e)). Cependant, un comportement non linéaire est observé entre 2 et 15

---

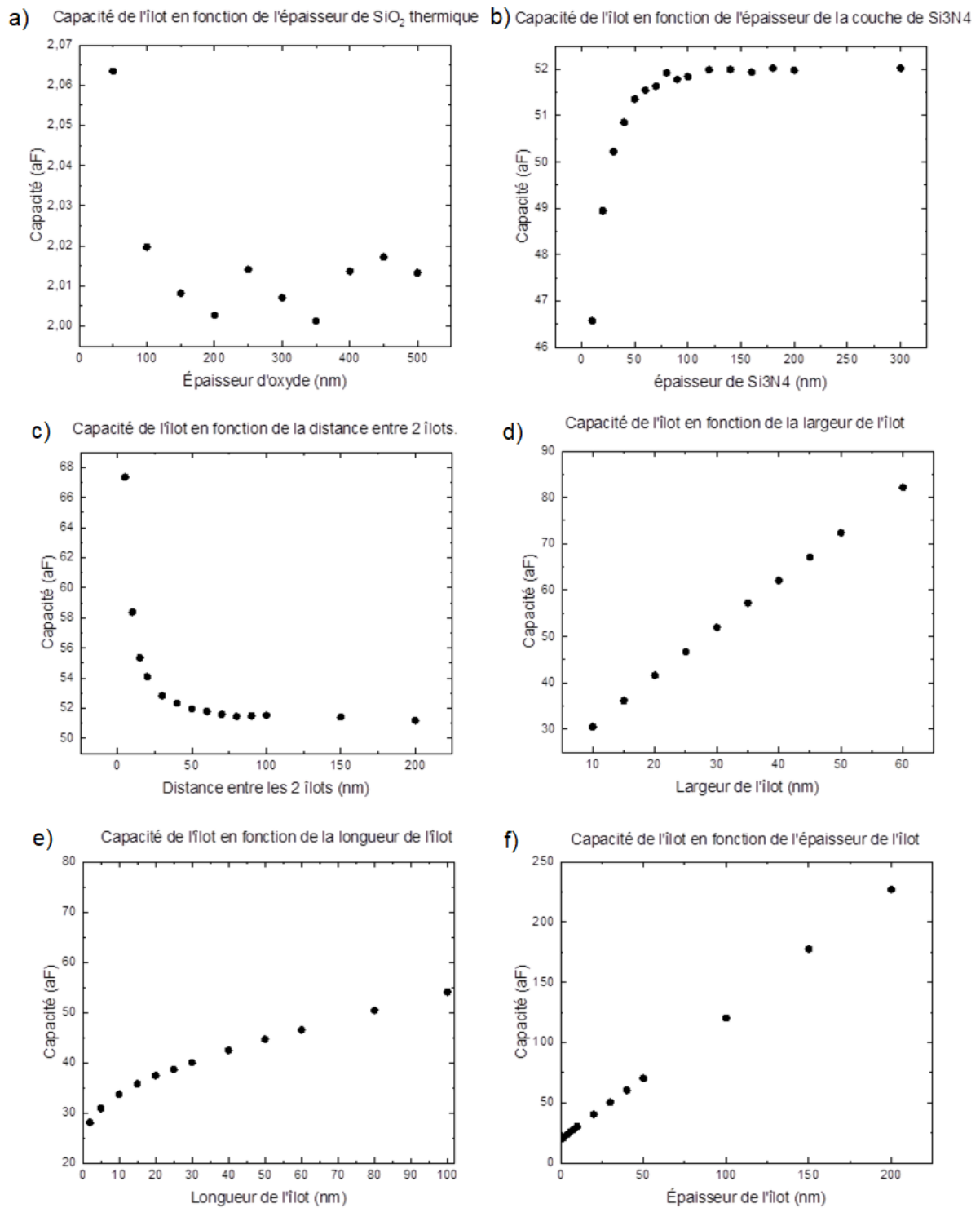


Figure 3.4 Évaluation de la capacité de l'îlot pour un double SET en fonction de différents paramètres géométriques du dispositif.

nm. Ceci est causé par le couplage capacitif avec la grille qui augmente quand la longueur de l'îlot augmente. Encore une fois, considérant la résolution sur l'électrolithographie et le dépôt de SiO<sub>2</sub> ALD pour réduire la taille des tranchées, une longueur d'îlot de 10 nm est réalisable expérimentalement.

## Épaisseur de l'îlot

Comme pour la longueur et la largeur de l'îlot, la capacité varie linéairement en fonction de l'épaisseur de la jonction (figure 3.4 f)). En supposant un excellent contrôle sur la CMP, il serait possible d'atteindre des épaisseurs d'îlot de l'ordre de 2 nm [20]. Cette valeur sera donc considérée comme épaisseur optimale pour évaluer les dimensions des jonctions tunnel.

## Dimension des jonctions tunnel

Pour déterminer l'épaisseur de l'oxyde de la jonction tunnel qui va permettre un fonctionnement à température de l'azote liquide (77K), les différents paramètres optimaux de la section précédente ont été utilisés et la capacité de l'îlot a été simulée pour différentes valeurs d'épaisseur d'oxyde. Les paramètres optimaux sont les suivants :

- Épaisseur de la couche d'isolation de SiO<sub>2</sub> ( $I_L$ ) : 100 nm
- Épaisseur de la couche de passivation de SiO<sub>2</sub> ( $P_L$ ) : 100 nm
- Distance entre les 2 îlots ( $d_I$ ) : 80 nm
- Largeur de l'îlot ( $W_T$ ) : 10 nm
- Longueur de l'îlot ( $L_I$ ) : 10 nm
- Épaisseur de l'îlot ( $t_{CMP}$ ) : 2 nm

La figure 3.5 montre la capacité de l'îlot et la température d'opération en fonction de l'épaisseur de la jonction tunnel. La capacité de l'îlot diminue rapidement en fonction de l'épaisseur de la jonction tunnel puisque le couplage capacitif entre le drain et la source devient plus important. Avec ces simulations, une épaisseur de jonction de 2.6 nm permettrait une température d'opération à 77 K. Une épaisseur de jonction plus grande permettrait un fonctionnement à plus haute température, mais diminuerait exponentiellement la quantité de courant tunnel pouvant être mesuré expérimentalement. C'est donc cette épaisseur qui sera utilisée pour évaluer le courant tunnel et donc pour évaluer la bande passante théorique du dispositif. La figure 3.6 est un schéma électrique qui montre les différent couplage qui contribue à la capacité totale de l'îlot. Le tableau 3.1 représente la matrice



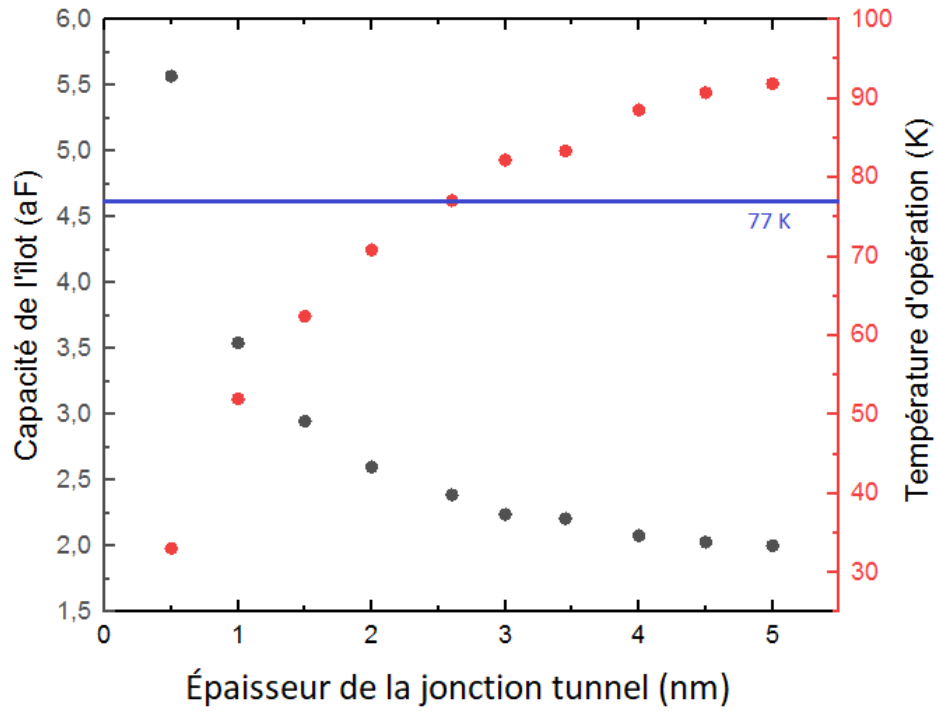


Figure 3.5 Évaluation de la capacité de l'îlot (en noir) et de la température d'opération (en rouge) d'une double SET en fonction de l'épaisseur de la jonction tunnel.

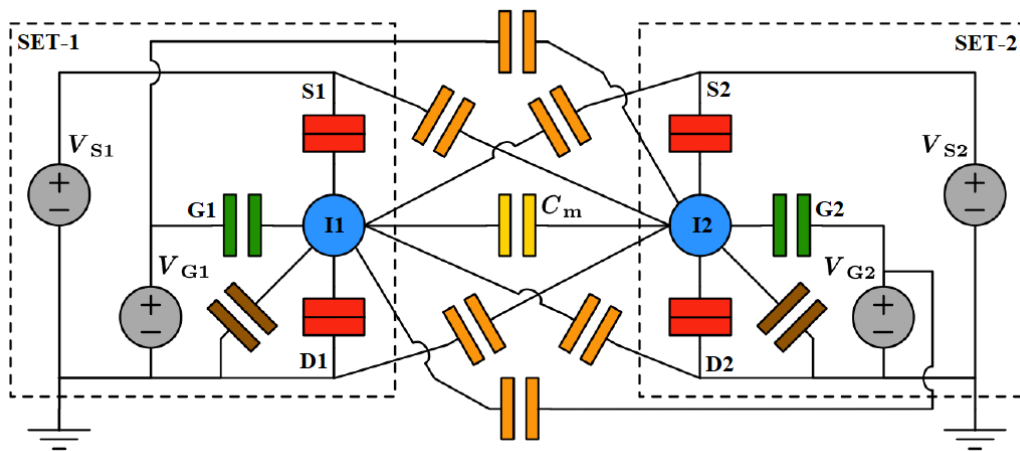


Figure 3.6 Schéma électrique du double SET. Les capacit  consid r es sont celles qui interagissent avec l' lot. [11]

	SET1S	SET1I	SET1D	SET1G	SET2S	SET2I	SET2D	SET2G	Substrat
SET1S	152.00	0.98	0.97	9.02	2.75	0.05	0.30	0.51	144.42
SET1I	0.96	2.39	0.97	0.13	0.05	0.01	0.05	0.02	0.23
SET1D	0.97	0.97	86.98	13.38	0.29	0.05	2.75	0.49	78.91
SET1G	8.19	0.13	12.65	99.49	0.41	0.02	0.44	0.32	79.86
SET2S	2.72	0.05	0.29	0.49	86.56	0.95	0.98	13.40	78.91
SET2I	0.05	0.01	0.05	0.02	0.99	2.35	0.98	0.13	0.23
SET2D	0.30	0.05	2.73	0.52	0.97	0.95	151.97	8.96	144.42
SET2G	0.43	0.02	0.41	0.32	12.52	0.13	8.21	99.27	79.98
Substrat	138.38	0.19	68.91	75.60	68.59	0.19	138.27	75.43	607.05

Tableau 3.1 Matrice des capacités pour les configurations de simulation optimale pour la température d'opération de 77K. Les valeurs de capacité sont en attofarad et le SET1 correspond au SET de gauche tandis que SET2 correspond au SET de droite et S, I, D, G correspondent respectivement à la source, l'îlot, le drain et la grille.

complète des capacités pour les paramètres de simulation optimisés. Les termes diagonaux sont donc la capacité totale de l'électrode considérée et les termes hors diagonaux sont la capacité entre les différentes électrode. Le couplage entre les différentes électrodes et l'îlot sont identifié avec les même couleur que celles utilisé sur le schéma électrique de la figure 3.6. Les capacité des jonctions tunnel sont en rouge, les capacité entre l'îlot et le substrat sont en brun, les capacités entre l'îlot et la source et le drain du SET opposé sont en orange, la capacité entre l'îlot et la grille est en vert, la capacité entre les deux îlot est jaune et finalement la capacité totale des deux îlots est en bleu.

## 3.2 Évaluation des performances

Le modèle utilisé pour évaluer le courant tunnel traversant la jonction tunnel a été développé par Arnaud Beaumont et Marc Guilmain [3, 20] et une interface graphique sous MathLab a été mise au point par Gabriel Droulers [11]. L'approximation du modèle WKB (Wentzel-Kramers-Brillouin) [5, 22, 35, 41–44, 46] a été utilisée pour résoudre l'équation de Schrödinger afin d'évaluer la probabilité  $D(E_X)$  qu'un électron traverse la jonction par effet tunnel :

$$D(E_X) = \exp\left(\frac{4\pi i}{h}\right) \int_{x_0}^{x_1} \sqrt{2m(V(x) - E_x)} dx \quad (3.1)$$

où  $h$  est la constante de Planck,  $m$  est la masse de l'électron,  $E_X$  est son énergie,  $V(x)$  est le potentiel de la barrière et l'intervalle  $x_0$  et  $x_1$  correspond à la longueur de la jonction. Le modèle a été développé en considérant plusieurs contraintes comme le courant tunnel entre

deux électrodes de différente nature, la conductance pour des barrières asymétriques, la force image qui réduit l'épaisseur effective de la jonction, etc. Le simulateur permet donc de spécifier les paramètres physiques de la jonction comme la nature des conducteurs et du diélectrique ainsi que les paramètres géométriques comme l'épaisseur, la longueur et la largeur de celle-ci. Ceci permet de simuler la forme du potentiel de la barrière et ainsi évaluer le courant tunnel pour différente polarisation ainsi que pour différente température.

En utilisant les paramètres géométriques optimisés pour le fonctionnement à 77K de la section précédente, un courant de 5 à 60 pA est évalué pour une tension de polarisation de 1 à 10 mV. Ceci correspond à une résistance tunnel de 160 M $\Omega$ . Puisqu'une jonction tunnel possède une résistance tunnel et une capacité entre ses deux électrodes, celle-ci agit donc comme un filtre passe-bas et sa fréquence de coupure est définie comme  $1/RC$ . La capacité de la jonction tunnel est obtenue à partir de la matrice de capacité simulée sur COMSOL (voir tableau 3.1) et est évaluée à 0.96 aF. Avec une résistance de 160 M $\Omega$  la fréquence de coupure intrinsèque des jonctions tunnel est donc de 6.5 GHz.

Évidemment, la fréquence de coupure intrinsèque n'est pas le seul critère qui limite l'utilisation du dispositif en fréquence. Le signal mesuré doit être plus grand ou au moins du même ordre de grandeur que le bruit généré par la jonction. La densité spectrale de bruit est utilisée pour évaluer le bruit généré à l'intérieur d'une bande passante et correspond à la variance du signal. Puisque les jonctions tunnel sont polarisées en continu et que l'énergie des électrons  $eV$  est du même ordre de grandeur ou plus faible que l'énergie thermique  $K_B T$ , c'est le bruit de Johnson, ou bruit thermique qui doit être considéré [45]. Le bruit thermique est donné sous la forme :

$$S_{II}^{Therm}(T) = \frac{4K_B T}{R} \quad (3.2)$$

où  $R$  est la résistance,  $T$  la température et  $K_B$  la constante de Boltzman. Avec une résistance de 160 M $\Omega$  et une température de 77K le bruit thermique est évalué à  $2.65 \times 10^{-29}$  A<sup>2</sup>/Hz. Connaissant le courant de la jonction, il est possible d'évaluer la bande passante théorique de la jonction en considérant un bruit thermique du même ordre de grandeur que le courant mesuré. Avec un courant de 5 pA par exemple, la bande passante théorique est d'environ 1 MHz.

Les simulations sur COMSOL permettent de définir une géométrie du dispositif ( $I_L$  : 150 nm,  $P_L$  : 100 nm,  $d_I$  : 80 nm,  $W_T$  : 10 nm,  $L_I$  : 10 nm,  $t_{CMP}$  : 2 nm,  $t_{OX}$  : 2.6 nm) permettant un fonctionnement à température de l'azote liquide en utilisant le critère  $E_C \geq 10 K_B T$  tout en étant réalisable expérimentalement dans les laboratoires du 3IT. D'autre part, les

simulations de jonctions tunnel permettent de définir une bande passante théorique de 1 MHz qui donne une idée des performances que pourrait avoir un tel dispositif.

# CHAPITRE 4

## DÉPÔT ALD

Les méthodes de déposition par couche atomique ALD (*Atomic Layer Deposition*) ont gagné énormément en popularité durant les trente dernières années. Ces méthodes de déposition figurent parmi celles qui offrent le meilleur contrôle sur l'épaisseur et la meilleure conformabilité. Ces qualités ont fait en sorte qu'aujourd'hui, l'ALD est devenu un procédé essentiel dans plusieurs domaines technologiques comme la microélectronique. L'ALD est couramment utilisé en industrie mais également dans le domaine de la recherche académique. En effet, le nombre de publications par ans en lien avec l'ALD a plus que quadruplé entre 2000 et 2010 [33] (voir figure 4.1). Ceci montre bien le caractère prometteur de cette méthode de déposition de couches minces.

L'ALD consiste en cycle d'autosaturation de plusieurs gaz introduit dans un système fermé. Un cycle possède généralement 4 étapes distinctes (voir figure 4.2). La première étape consiste à envoyer dans la chambre de dépôt un gaz précurseur qui va adhérer à la surface par chimisorption, mais qui n'interagit pas avec lui même de sorte que celui-ci sature à la surface laissant ainsi une couche uniforme monoatomique (figure 4.2 b et c). Par la suite, les traces du premier précurseur et les sous-produits de la réaction sont évacués avec un gaz inerte pour laisser place au deuxième précurseur (figure 4.2 d). Celui-ci va interagir chimiquement avec la couche déposée préalablement et laisser ainsi le matériau désiré sur le substrat (figure 4.2 e). Le deuxième précurseur ne doit pas non plus interagir avec lui même pour recouvrir aussi la surface d'une monocouche uniforme. Finalement, une dernière purge est effectuée avec un gaz inerte pour évacuer les gaz résiduels et ainsi permettre de répéter le cycle (figure 4.2 f). En pratique, un flot de gaz inertes circule constamment dans le système. En plus d'être utilisé pour la purge des précurseurs, le flot de gaz inerte sert aussi de transporteur pour les pulses de précurseur.

L'ALD possède plusieurs avantages comparativement aux autres méthodes de déposition de matériaux. Premièrement, l'ALD permet une excellente conformabilité. En effet, puisque c'est un gaz qui sature la surface, l'ALD est à toute fin pratique indifférente à la forme de la surface et permet un dépôt uniforme sur des surfaces complexes qui est impossible avec tout autre méthode de dépôt. La figure 4.3 montre l'excellente conformabilité des dépôts ALD. Les dépôts successifs d' $\text{Al}_2\text{O}_3$  et de  $\text{TiO}_2$  réalisés recouvrent de façon égale toute la surface de la structure même la face supérieure de la cavité qui a une ouverture inférieure

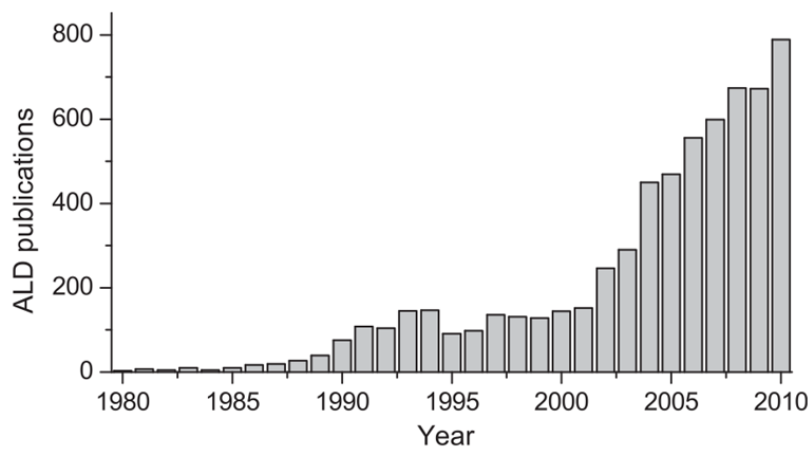


Figure 4.1 Nombre de publication en lien avec l'ALD par année [33]

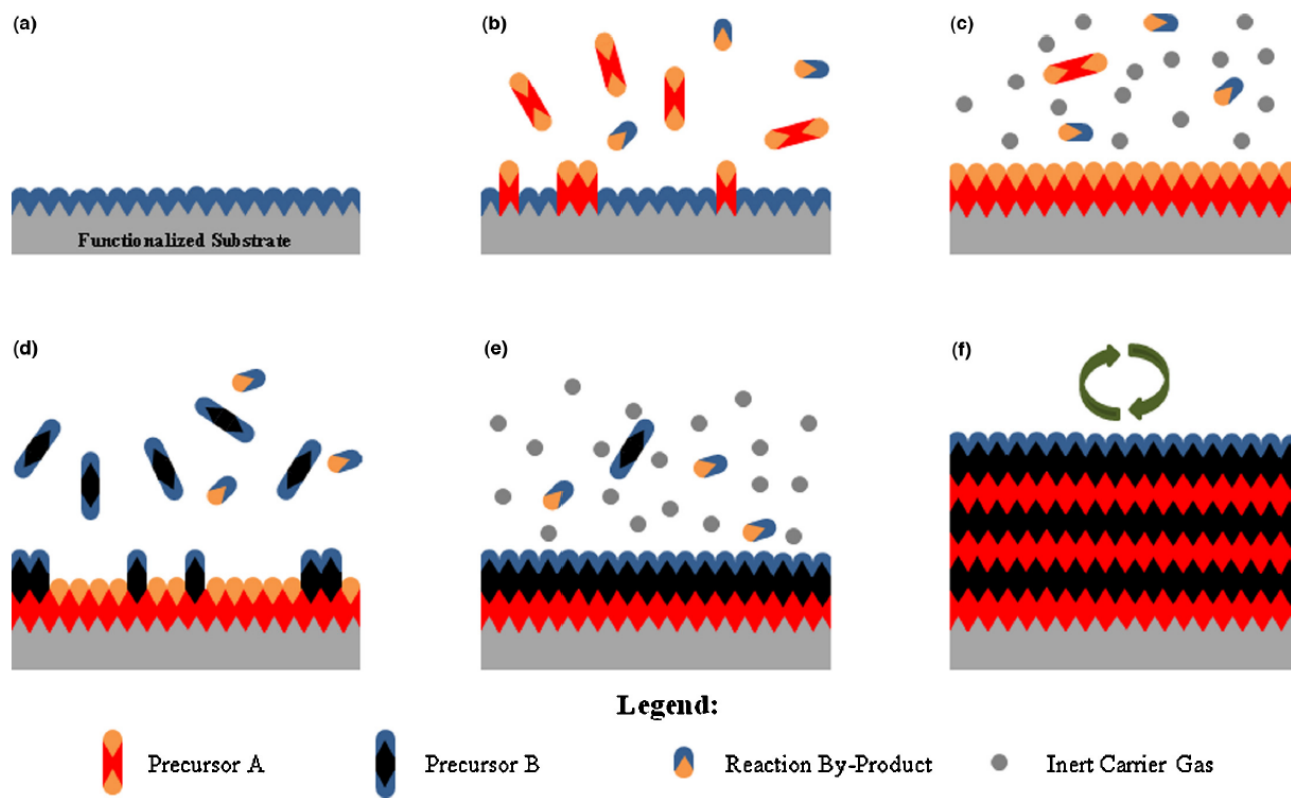


Figure 4.2 Schéma du principe de fonctionnement d'un cycle de dépôt ALD [24]

à 2  $\mu\text{m}$ . L'épaisseur est uniforme à l'échelle de l'échantillon mais aussi de la structure et les coins à 90 ° sont parfaitement résolus. Le contrôle sur l'épaisseur dépend de la nature du matériau, mais typiquement, un cycle permet de déposer en moyenne moins de 1 Å.

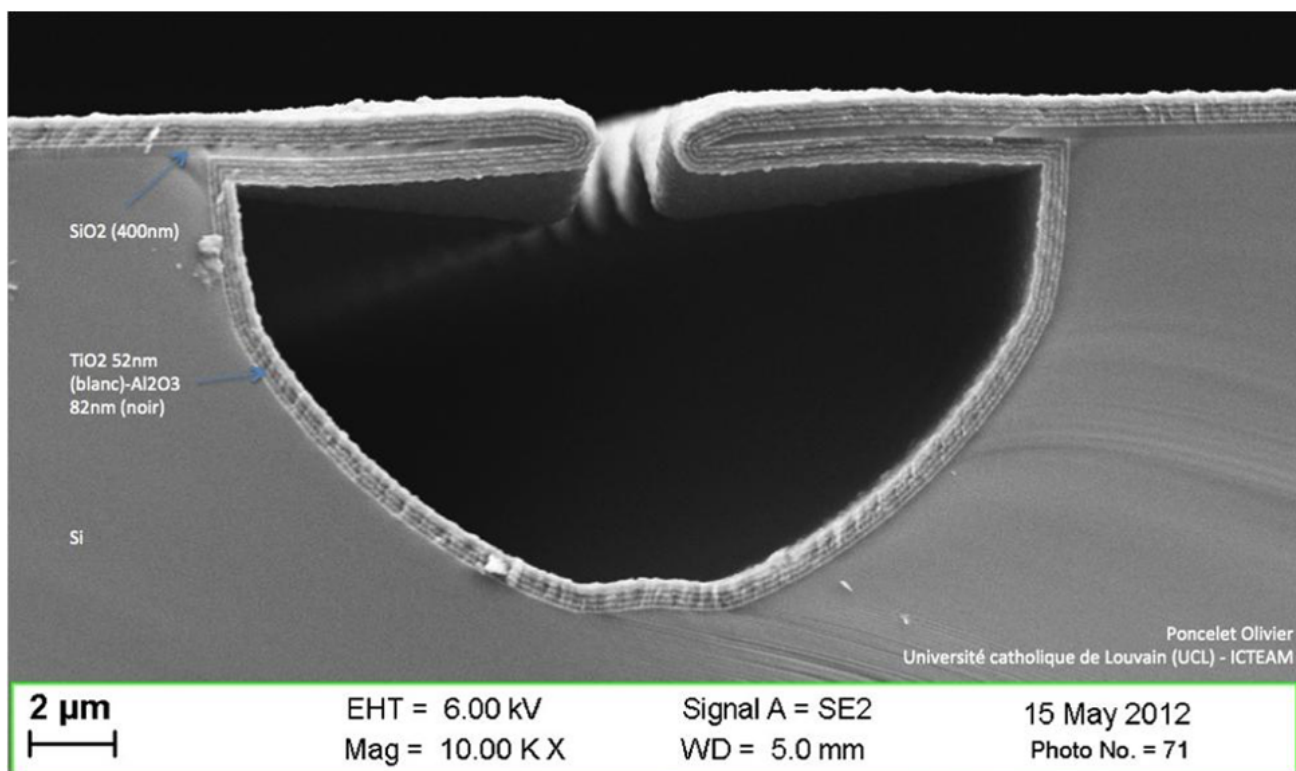


Figure 4.3 Empilement de dépôt de  $\text{SiO}_2$  et de  $\text{TiO}_2$  par ALD. Source : Veeco CNT  
crédit photo : Olivier Poncelet UCL

Plusieurs critères sont nécessaires afin d'obtenir une couche mince avec un procédé ALD. Le précurseur doit être sous forme gazeuse ou doit être vaporisable à une température inférieure à la température de réaction pour permettre le transport. La réaction de surface doit idéalement être rapide pour permettre un taux de croissance acceptable. Après avoir réagi avec la surface, le précurseur et les sous-produits de la réaction ne doivent pas interagir avec la nouvelle surface ou se dissoudre après saturation pour permettre le dépôt d'une seule couche dans un cycle. La production de précurseur peut être dans certains cas très longue et très dispendieuse. De plus, le temps de déposition peut être très long pour certains procédés. Ces deux derniers désavantages font en sorte que l'ALD n'est souvent pas approprié pour faire des couches épaisses ( $> 20 \text{ nm}$ ).

Une méthode de déposition alternative appelée PEALD (*Plasma-Enhanced Atomic Layer Deposition*) consiste à remplacer une étape du cycle par l'introduction d'un plasma. C'est les radicaux créés par le plasma qui jouent un rôle dans le PEALD en interagissant chimi-

quement avec l'autre précurseur. Il existe plusieurs types de procédés PEALD, mais le but principal est d'empêcher les différentes espèces de bombarder la surface pour ne pas la dégrader et laisser seulement les radicaux du plasma interagir avec celle-ci. Le procédé PEALD comporte beaucoup d'avantages, il permet par exemple une plus faible température de déposition, une plus grande vitesse de dépôt et une meilleure qualité de la couche en réduisant la quantité d'impureté. Cette technique implique généralement des réactions chimiques plus complexes et un système plus complexe et coûteux.

Récemment, le 3IT de l'Université de Sherbrooke a fait l'acquisition d'un système de déposition par ALD. j'ai participé à la mise en fonction du système et j'ai développé les procédés de déposition d' $\text{Al}_2\text{O}_3$ , de  $\text{TiN}$  et de  $\text{SiO}_2$  avec ce nouvel équipement.

## 4.1 Appareil utilisé

L'équipement ALD est un R-200 advanced ALD System de Picosun. Il comprend un générateur plasma situé au-dessus de la chambre de réaction qui permet de faire des dépôts PEALD de types "*plasma remote*". Huit lignes de gaz permettent de faire circuler les différents gaz et précurseurs dans la chambre de réaction. La chambre de réaction peut atteindre une température de 500 °C et un sas externe permet de faire entrer ou sortir les échantillons et du même coup il peut servir d'enceinte pour entreposer les échantillons sous vide durant un conditionnement de la chambre par exemple. Des valves avec un temps d'ouverture de 100 ms permettent de faire circuler les différents gaz dans le système. Finalement, les différents précurseurs sont fournis par la compagnie Air Liquide.

Durant le développement des différents procédé, la pression dans l'enceinte a été maintenue à 3 torrs avec un débit d'azote de 400 sccm. De plus, un conditionnement d'au moins 100 cycles a été effectué avant de faire les différents dépôts. Un conditionnement consiste à utiliser la recette de déposition voulue sans échantillon avant d'effectuer le dépôt. Ceci permet de conditionner la chambre de réaction et ainsi éviter la contamination. Pour des raisons de clarté et de synthèse, un tableau avec tous les paramètres de déposition de chaque recette a été mis en annexe (voir tableau A.1, A.2 et A.3) et seulement les paramètres significatifs seront discutés dans les différentes sections.

## 4.2 Caractérisation

L'épaisseur et l'uniformité des diélectriques ont été mesurées à l'aide d'un ellipsomètre de J.A. Woollam, modèle Alpha-SE. L'uniformité est définie par la différence entre la valeurs d'épaisseur maximum et minimum divisé par le double de la valeurs d'épaisseur moyenne

---



[9]. Pour déterminer la constante diélectrique de l' $\text{Al}_2\text{O}_3$  et du  $\text{SiO}_2$ , des condensateurs plan ont été fabriqués par photolithographie (voir figure 4.4 ). Premièrement, une lithographie d'une bicouche de résine (LOR5A et S1805) est effectuée sur un échantillon de silicium recouvert de 150 nm de  $\text{SiO}_2$  thermique. Par la suite, un dépôt d'aluminium par évaporation est effectué suivi d'un soulèvement pour révéler les premières électrodes. Ensuite, le dépôt de diélectrique par ALD est effectué sur tout l'échantillon et la première étape est répétée pour former la deuxième électrode. Avec cette méthode, un condensateur est donc fabriqué et des mesures électriques de capacité de type C-V permettent de déduire la permittivité relative du matériau avec un modèle plaque parallèle du condensateur (voir équation 4.1). Une deuxième méthode de fabrication de condensateur a été effectuée (voir figure 4.5) et consiste en une couche uniforme d'aluminium sur le substrat comme première électrode et des cercles et des carrés de différente dimension comme électrode du dessus. De cette manière, au lieu de connecter la pointe avec un chemin d'amenée, le contact se fait directement sur la surface active du condensateur. Cette méthode permet de s'affranchir de l'interaction du point de contact avec le substrat de silicium et possiblement des effets capacitifs créés par les plots de contact et les chemins d'amenés. Pour des raisons de clarté, la méthode de fabrication des condensateurs avec des chemins d'amené sera appelé condensateur croisé et la méthode de fabrication des condensateurs sans chemin d'amené sera appelé condensateur plan. Les mesures de capacité ont été effectuées à une fréquence allant de 100 kHz à 20 MHz. La mesure de la résistivité du TiN a été effectuée par une mesure à quatre pointes et déduit par un modèle de couche mince avec un plan infini (voir équation 4.2) et l'épaisseur du dépôt a été mesuré avec un profilomètre. Finalement, la stoechiométrie des différents matériaux a été évaluée par spectrométrie photoélectronique à rayon X (XPS : *X-Ray photoelectron spectrometry*).

Permittivité relative avec un condensateur plan :

$$\varepsilon_r = \frac{Cd}{\varepsilon_0 A} \quad (4.1)$$

où C est la capacité du condensateur,  $\varepsilon_0$  est la permittivité du vide, d est l'épaisseur du diélectrique et A est la surface active du condensateur. Résistivité de couche mince avec plan infini :

$$\rho = \frac{\pi x_f}{\ln 2} \left( \frac{\Delta V}{I} \right) \quad (4.2)$$

où  $x_f$  est l'épaisseur de la couche mince et  $\Delta V$  et I sont respectivement la variation la tension et le courant.

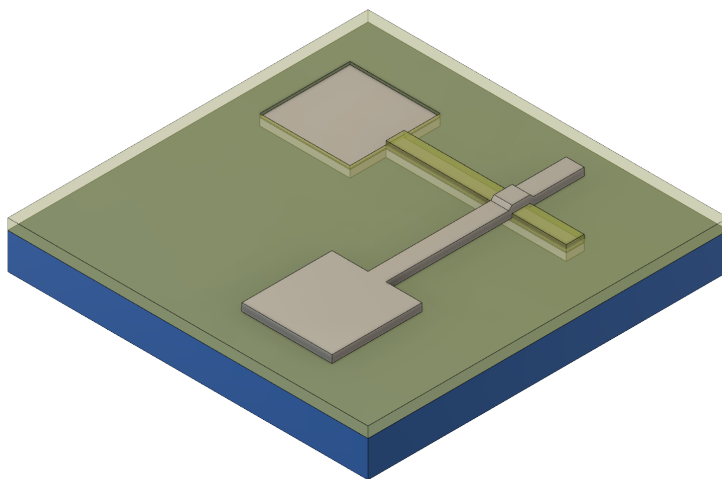


Figure 4.4 Schéma 3D d'un condensateur fabriqué avec la méthode des condensateurs croisés

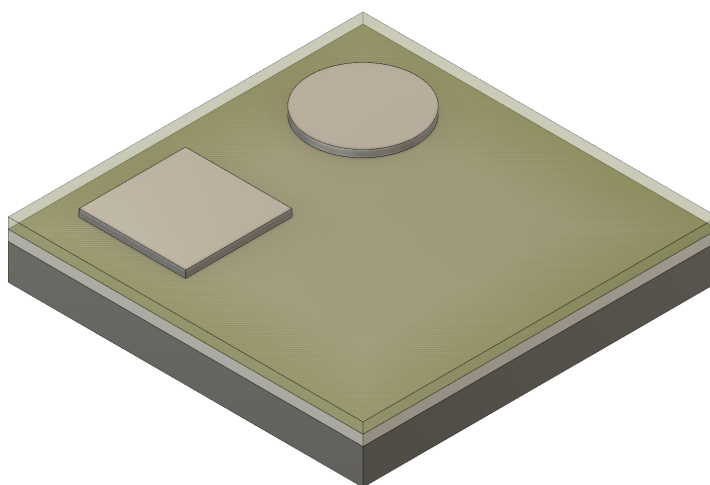


Figure 4.5 Schéma 3D d'un condensateur fabriqué avec la méthode des condensateurs plan

---

## 4.3 $\text{Al}_2\text{O}_3$

Le TMA (TriMethylAluminium) est le précurseur et il est le plus largement utilisé pour faire des dépôts d'alumines autant avec des procédés où il est possible d'utiliser la vapeur d'eau (ALD) ou un plasma d'oxygène (PEALD) comme élément réactif. L' $\text{Al}_2\text{O}_3$  est un des premiers matériaux déposé par ALD et le procédé est très stable et facile à contrôler. Pour cette raison j'ai utilisé l'alumine pour qualifier l'équipement. Pour le dépôt utilisant la vapeur d'eau, la température du porte-substrat a été fixée à 300 °C avec un temps de pulse et un temps de purge de 0.1 et 2 secondes respectivement pour le TMA suivit de 0.1 et 3 secondes pour la vapeur d'eau. Le temps de pulse de 0.1 seconde est récurrent dans presque toutes les recettes développées puisque c'est le temps d'ouverture minimum pour les valves des précurseurs. Pour le dépôt PEALD, la température est fixée à 200 °C et le temps de pulse et de purge du TMA sont les mêmes tandis que ceux du plasma d'oxygène sont de 6 et 2 secondes.

Une purge de chaque ligne de gaz a été effectuée avant de faire les dépôts. Les premiers dépôts effectués ont été un dépôt ALD et un dépôt PEALD de 500 cycles pour évaluer le taux de croissance, l'uniformité sur une gaufre de 4 po et évaluer la stœchiométrie à l'XPS. Ensuite des dépôts de 10 à 30 nm ont été effectués pour fabriquer des condensateurs et évaluer la permittivité du matériau.

Après 500 cycles, la gaufre de 4 po a été mesurée sous l'ellipsomètre. Une épaisseur de 50.6 nm a été observée en moyenne et une variation maximale de 0.4 nm a été mesurée sur toute la superficie de la gaufre après 10 mesure à différent endroit sur celle-ci. Ceci correspond à un taux de croissance moyen de 1 Å/cycle et une uniformité de 0.4%. Par la suite, la même méthode de caractérisation a été utilisé pour un dépôt d' $\text{Al}_2\text{O}_3$  PEALD de 500 cycles. Une épaisseur moyenne de 50.2 nm a été observée avec la même variation maximale de 0.4 nm ce qui donne le même taux de croissance et la même uniformité que le dépôt ALD.

Par la suite, des dépôts de 10 et 30 nm ont été effectués sur des électrodes d'aluminium pour en faire des condensateurs avec la recette ALD et PEALD en utilisant la méthode des condensateur croisés et des condensateurs plan. Pour les condensateurs avec une épaisseur de 10 nm, il a été difficile d'extraire des valeurs pertinentes. Premièrement, la technique utilisée pour faire les condensateurs induits des capacités parasite et ceux-ci induisent des effets de bords ce qui ne permet pas la mesure des petits condensateurs (entre 5 et 100  $\mu\text{m}$  de côté)(voir tableau 4.1). En effet, le modèle utilisé pour évaluer la permittivité considère un champ électrique perpendiculaire aux plaques du condensateur. Cependant, près du

bord, l'orientation du champ électrique change et n'est plus perpendiculaire à la surface. Évidemment, plus le ratio périmètre sur air est élevée, plus l'erreur causée par l'effet de bord est grand. Ceci expliquerait en partie pourquoi la permittivité évaluée pour les petits condensateurs est erronée. Deuxièmement, pour les plus grands condensateurs (entre 200 et 1000  $\mu\text{m}$  de côté), 10 nm d'épaisseur n'était pas suffisant pour isoler électriquement les électrodes et un courant de fuite important était observé. Finalement, l'échantillon subit un nettoyage au solvant suivi d'un plasma d'oxygène après le soulèvement des électrodes juste avant le dépôt ALD pour retirer les résidus de résine après la photolithographie. Ceci crée une couche d'oxyde natif d' $\text{Al}_2\text{O}_3$  qui n'est pas possible de mesurer. Cette couche contribue évidemment à augmenter la couche de diélectrique et même si cette couche correspond à quelques nanomètres, elle contribue sans doute à la valeur de capacité par la suite. Cependant, plus la couche de diélectrique déposé est grande par rapport à la couche d'oxyde natif, plus la contribution de celle-ci devient négligeable. Pour cette raison, l'effet de cette couche sera négligé pour les condensateurs de 30 nm. Le tableau 4.2 montre les valeurs de permittivité obtenue pour des dépôts PEALD avec la méthode des condensateurs croisés et des condensateurs plan. Même si les résultats de la méthode des condensateurs croisés sont légèrement plus bas que ceux de la méthode des condensateurs plan, il est tout de même raisonnable d'affirmer que la permittivité mesurée pour les condensateurs de 200  $\mu\text{m}$  et plus sont en accord avec ce qui se trouve dans la littérature [18, 47].

$\text{Al}_2\text{O}_3$ ALD 30.41nm	$\epsilon_r$	$\text{Al}_2\text{O}_3$ PEALD 25.14nm	$\epsilon_r$
5 $\mu\text{m}$	64.60	5 $\mu\text{m}$	64.31
10 $\mu\text{m}$	23.02	10 $\mu\text{m}$	21.59
20 $\mu\text{m}$	11.94	20 $\mu\text{m}$	11.08
50 $\mu\text{m}$	8.73	50 $\mu\text{m}$	8.12
100 $\mu\text{m}$	8.18	100 $\mu\text{m}$	7.84
200 $\mu\text{m}$	8.07	200 $\mu\text{m}$	7.90
500 $\mu\text{m}$	8.01	500 $\mu\text{m}$	7.94
1000 $\mu\text{m}$	7.96	1000 $\mu\text{m}$	7.89

Tableau 4.1 Permittivité de l' $\text{Al}_2\text{O}_3$  pour les dépôts ALD et PEALD avec la méthode des condensateurs croisés. La distance correspond à la longueur d'un côté du condensateur en carré.

L'analyse XPS a révélé que la stoechiométrie des dépôts ALD et PEALD est très similaire. Le Tableau 4.3 est une comparaison des éléments présents sur les couches minces. Le ratio oxygène sur aluminium est exactement le même pour les deux dépôts. Une contamination au fluor est aussi observée sur cette analyse et n'a plus jamais été retrouvé dans les résultats d'analyse XPS. L'hypothèse la plus probable est que cette contamination ponctuelle est été causé par le système d'analyse XPS. Le dépôt PEALD semble avoir une plus grande

Condensateur croisé	$\varepsilon_r$	condensateur plan	$\varepsilon_r$	condensateur plan	$\varepsilon_r$
carré 50 $\mu\text{m}$	8.12	carré 50 $\mu\text{m}$	8.23	cercle 50 $\mu\text{m}$	8.18
carré 100 $\mu\text{m}$	7.84	carré 100 $\mu\text{m}$	8.19	cercle 100 $\mu\text{m}$	-
carré 200 $\mu\text{m}$	7.90	carré 200 $\mu\text{m}$	8.01	cercle 2000 $\mu\text{m}$	-
carré 350 $\mu\text{m}$	-	carré 350 $\mu\text{m}$	8.04	cercle 350 $\mu\text{m}$	8.04
carré 500 $\mu\text{m}$	7.94	carré 500 $\mu\text{m}$	8.01	cercle 500 $\mu\text{m}$	-
carré 750 $\mu\text{m}$	-	carré 750 $\mu\text{m}$	8.10	cercle 750 $\mu\text{m}$	-
carré 1000 $\mu\text{m}$	7.89	carré 1000 $\mu\text{m}$	8.00	cercle 1000 $\mu\text{m}$	7.99

Tableau 4.2 Permittivité de l'Al<sub>2</sub>O<sub>3</sub> PEALD pour la méthode des condensateurs croisés et des condensateurs plan. La distance correspond à la longueur d'un côté pour les carrés et au diamètre pour les cercles.

contamination au carbone que le dépôt ALD. Pour expliquer ce phénomène, l'analyse XPS n'a pas été effectuée à l'intérieur du dépôt, mais bien à la surface de celui-ci. Pour cette raison, la contamination au carbone est majoritairement causée par l'exposition de la couche analysée à l'air ambiant. De plus, le ratio oxygène sur Aluminium peut être affecté puisque l'oxygène non lié au carbone peut en partie provenir de l'humidité (H<sub>2</sub>O). Ceci peut donc expliquer pourquoi on retrouve un ratio d'O/Al de 1.5 dans la littérature contrairement à 1.7[8].

	ALD	PEALD
Oxygène 1s (%)	58.0	56.4
Carbone 1s (%)	8.5	13.7
Fluor 1s (%)	0.7	0.6
Aluminium 2p (%)	32.8	29.3
Oxygène non lié au carbone (%)	55.3	50.5
ratio O/Al	1.7	1.7

Tableau 4.3 Analyse XPS de l'Al<sub>2</sub>O<sub>3</sub>

## 4.4 SiO<sub>2</sub>

Le précurseur utilisé pour les dépôts de SiO<sub>2</sub> est manufacturé sous le nom SAM.24 par la compagnie Air Liquide. Avec ce précurseur, il est seulement possible de faire un dépôt PEALD avec un plasma d'oxygène. Les dépôts ont été effectués à 200 °C et la bouteille de SAM.24 est chauffée à 50°C. Deux procédés différents ont été développés et caractérisés. Un procédé a été conseillé par le fabricant Picosun tandis que le deuxième procédé a été inspiré par un article de G. Dingemans d'Eindhoven University of Technology [10]. Ce qui différencie principalement ces deux recettes est l'utilisation d'un "boost" d'azote durant l'ouverture de la valve du précurseur et le temps de pulse du SAM.24. Le "boost" a pour

effet d'augmenter la pression dans la bouteille de précurseur et ainsi améliorer l'uniformité du dépôt en augmentant l'apport de précurseur sur l'échantillon.

Comme pour les dépôts d' $\text{Al}_2\text{O}_3$ , les premiers dépôts de 250 cycles de  $\text{SiO}_2$  ont été effectués pour mesurer le taux de croissance, l'uniformité et la stœchiométrie. Le taux de croissance a aussi été mesuré pour différents nombres de cycles puisque le taux de déposition pour des dépôts ALD varie en fonction des liaisons de surface. Ceci veut dire que les premiers cycles effectués sur un substrat de Si avec 3 nm d'oxyde natif par exemple, ne donneront pas la même épaisseur que ceux effectués après plusieurs dizaines de cycles sur le  $\text{SiO}_2$  ALD. Cette analyse est importante pour pouvoir avoir un contrôle sur l'épaisseur de couche ultra mince ( $< 5$  nm). Ensuite des dépôts entre 10 et 30 nm ont été effectués pour fabriquer des condensateurs et mesurer la permittivité du  $\text{SiO}_2$ .

Pour le premier dépôt de 250 cycles utilisant la recette suggérée par Picosun, un taux de croissance de 1.3 Å/cycle et une uniformité de 0.1 % sur 4 po a été observée. Pour le procédé d'Eindhoven, les mesures à l'ellipsomètre ont donné un taux de croissance de 0.9 Å/cycle et une uniformité de l'ordre 1.6 % sur une gaufre de 4 po. Bien que le taux de croissance par cycle et l'uniformité correspondent aux résultats mesurés par l'université d'Eindhoven (0.9 Å/cycle et  $\sim 1$  % d'uniformité) [10], l'uniformité est moins bonne que ce qui a été observé avec le procédé de Picosun. Le manque d'uniformité s'explique par le fait que le précurseur ne recouvre pas la surface du substrat uniformément. Ceci peut s'expliquer par plusieurs raisons : i) le boost d'azote qui n'est pas présent dans ce procédé ; ii) le temps d'ouverture de valve qui est moins long durant la recette d'Eindhoven (1.6 s contre 0.1 s) ; iii) la température de la bouteille est maintenue à 70 °C pour la recette de Picosun contre 50 °C. De plus, une grande différence à noter entre ces deux procédés est la consommation excessive de précurseur pour le procédé de Picosun contrairement au procédé d'Eindhoven. En effet, la bouteille de précurseur de 25 ml s'est vidée après 2000 cycles de dépositions. Puisque le SAM.24 est très dispendieux, le procédé d'Eindhoven a été adopté pour la suite des caractérisations. Pour un dépôt ALD, 1.6 % n'est pas une valeur souhaitable, cependant pour la plupart des applications et en regard à l'uniformité des autres méthodes de dépôts, 1.6 % est très raisonnable. De plus, les dispositifs sont fabriqués sur des échantillons de 1 cm x 1cm, donc la non uniformité est beaucoup plus faible à l'échelle de l'échantillon. Par la suite, des condensateurs ont été fabriqués avec un dépôt de 40 nm. Le tableau 4.4 montre la valeur de permittivité obtenue pour différentes dimensions de condensateur avec la méthode des condensateurs croisés. Encore une fois, pour les petits condensateurs, la permittivité est surévaluée. Le tableau 4.5 permet de comparer la permittivité obtenue avec la méthode des condensateurs croisés et des

condensateurs plan. Les résultats sont très similaires pour des tailles supérieures à 50  $\mu\text{m}$  avec les deux méthodes et les valeurs de permittivité obtenue (5.7 à 5.9) pour les condensateurs de 500 et 1000  $\mu\text{m}$  de côté concordent avec la valeur obtenue dans la littérature (6.1)[9]. Il est donc possible de conclure que des condensateurs de 500  $\mu\text{m}$  de côté et plus sont adéquat pour évaluer la permittivité autant avec la méthode des condensateurs croisé que la méthode des condensateurs plan. Il est aussi intéressant d'observer la capacité des condensateurs de 500 ou 1000  $\mu\text{m}$  de côté en fonction de la tension de polarisation. (voir figure 4.6). La faible variation de la capacité entre -10 et 10 V est un indicateur qu'il y a peu de courant de fuite et implique un excellent recouvrement de la surface par le dépôt ALD.

dimension du condensateur	$\epsilon_r$
5 $\mu\text{m}$	63.2
10 $\mu\text{m}$	23.5
20 $\mu\text{m}$	11.3
50 $\mu\text{m}$	9
100 $\mu\text{m}$	7.3
200 $\mu\text{m}$	6.5
500 $\mu\text{m}$	5.8
1000 $\mu\text{m}$	5.7

Tableau 4.4 Permittivité relative du SiO<sub>2</sub> avec la méthode des condensateurs croisés. La dimension du condensateur correspond à la longueur d'un côté du condensateur en forme de carré.

Condensateur croisé	$\epsilon_r$	Condensateur plan	$\epsilon_r$	Condensateur plan	$\epsilon_r$
carré 50 $\mu\text{m}$	9.00	carré 50 $\mu\text{m}$	7.45	cercle 50 $\mu\text{m}$	-
carré 100 $\mu\text{m}$	7.30	carré 100 $\mu\text{m}$	6.95	cercle 100 $\mu\text{m}$	-
carré 200 $\mu\text{m}$	6.50	carré 200 $\mu\text{m}$	-	cercle 200 $\mu\text{m}$	6.49
carré 350 $\mu\text{m}$	-	carré 350 $\mu\text{m}$	6.19	cercle 350 $\mu\text{m}$	6.17
carré 500 $\mu\text{m}$	5.80	carré 500 $\mu\text{m}$	5.73	cercle 500 $\mu\text{m}$	6.00
carré 750 $\mu\text{m}$	-	carré 750 $\mu\text{m}$	5.90	cercle 750 $\mu\text{m}$	5.91
carré 1000 $\mu\text{m}$	5.70	carré 1000 $\mu\text{m}$	-	cercle 1000 $\mu\text{m}$	5.84

Tableau 4.5 Permittivité du SiO<sub>2</sub> pour la méthode des condensateurs croisés et des condensateurs plan. La distance correspond à la longueur d'un côté pour les carrés et au diamètre pour les cercles.

Une analyse XPS a été effectuée à la fois en surface et en profondeur pour les deux procédés. Les résultats sont très similaires pour les deux types de dépôts de SiO<sub>2</sub> (voir tableau 4.6). Une contamination au carbone est toujours mesurée pour les mesures en surface, mais la contamination de carbone devient beaucoup moins présente avec les mesures en profondeur. Il est aussi intéressant de remarquer que le ratio O/Si est beaucoup plus faible

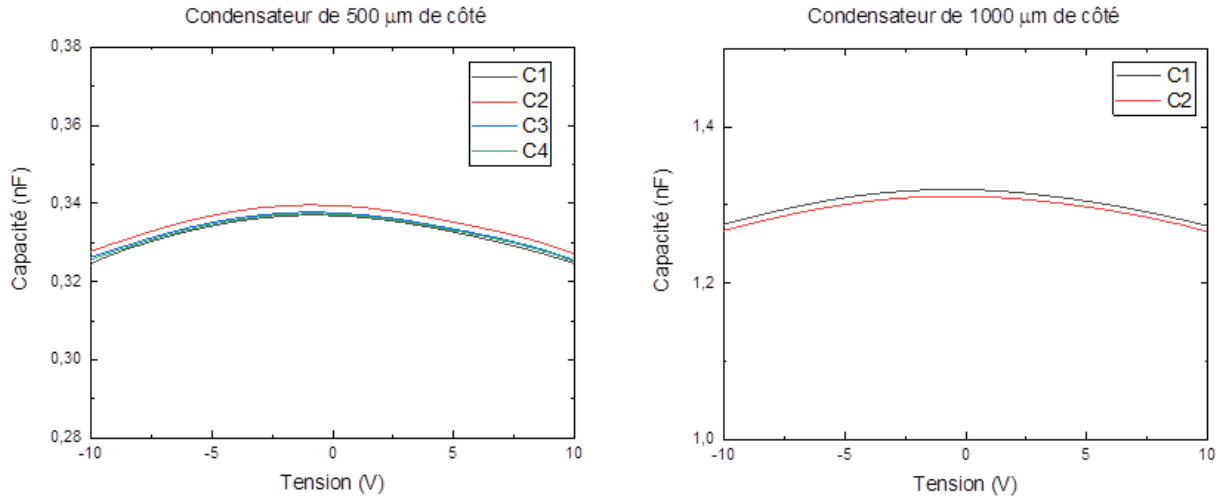


Figure 4.6 Capacité en fonction de la tension pour différent condensateur de 500 et 1000  $\mu\text{m}$  de côté à 100 kHz.

avec les mesures en profondeurs. Ceci renforce l'hypothèse que le ratio O/Si est erroné pour les mesures de surface en raison de la contamination d'oxygène. Évidemment, ceci permet aussi de renforcer cette même hypothèse pour le ratio O/Al des analyses XPS de l' $\text{Al}_2\text{O}_3$ . Le Ratio O/Si de 2.1 est en accord avec la littérature pour ce type de dépôt [9]. Finalement, le taux de déposition du  $\text{SiO}_2$  a été mesuré en fonction du nombre de cycles sur un substrat de Si avec un oxyde natif d'environ 3 nm (voir figure 4.7). Le taux de croissance varie beaucoup en fonction du nombre de cycles déposé. Ceci est principalement causé par les liaisons chimiques de surface qui sont différentes pour l'oxyde natif comparativement à l'oxyde ALD. Puisque l'adhésion du précurseur dépend fortement de ces liaisons chimiques, le taux de déposition varie beaucoup pour les 150 premiers cycles et se stabilise à un taux de 0.9 Å/cycle.

	En survol		En profondeur	
	Picosun	Eindhoven	Picosun	Eindhoven
Oxygène 1s (%)	67.7	67.8	66.3	66.8
Carbone 1s (%)	5.9	6.2	1.1	1.5
Silicium 2p (%)	26.4	26.0	31.6	31.1
Azote 1s (%)	0	0	1.0	0.5
Ratio O/Si	2.5	2.5	2.1	2.14

Tableau 4.6 Analyse XPS du  $\text{SiO}_2$  en survol et en profondeur pour les deux procédés développés.



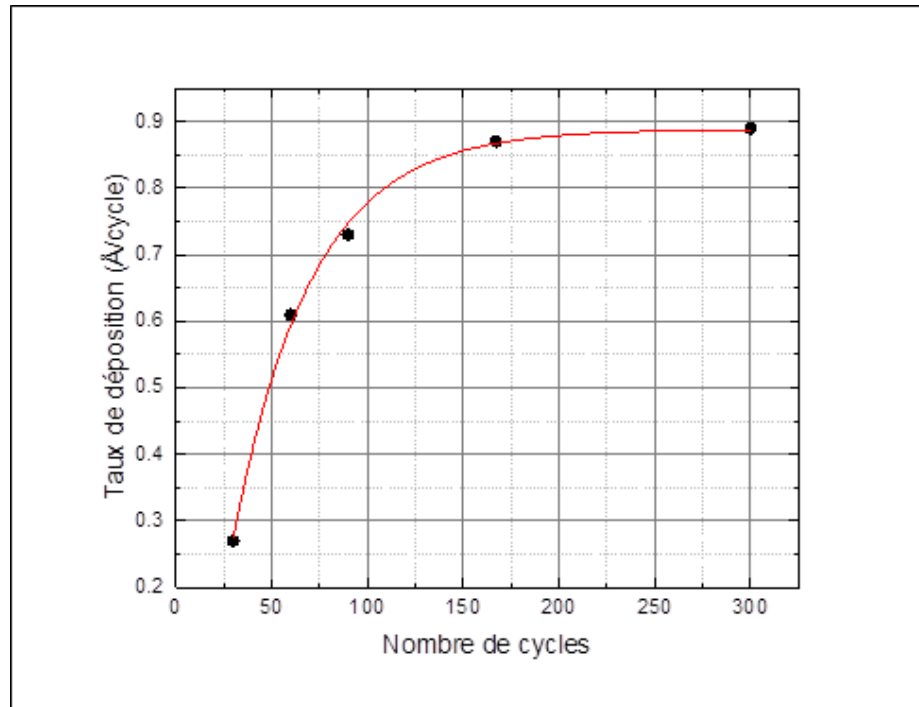


Figure 4.7 Taux de dépôt du  $\text{SiO}_2$  en fonction du nombre de cycles sur un substrat de Si avec 3 nm d'oxyde natif

## 4.5 TiN

Le TiN a été déposé en utilisant le  $\text{TiCl}_4$  et le  $\text{NH}_3$  comme précurseur. Le  $\text{TiCl}_4$  provient d'une bouteille tandis que le  $\text{NH}_3$  provient d'une ligne externe à une pression de 15 psi. Plusieurs procédés ont été développés et caractérisés à une température de 450 °C. Ces procédés peuvent être différenciés en deux catégories. Ceux avec un faible temps de pulse de  $\text{NH}_3$  suggéré par le fabricant et ceux avec un grand temps de pulse de  $\text{NH}_3$  tiré de la littérature [13, 37]. Un conditionnement spécialisé a aussi été effectué pour des dépôts en utilisant le TMA comme 3e précurseurs d'un même cycle donc un cycle de TMA,  $\text{TiCl}_4$  et  $\text{NH}_3$ . Il n'est pas possible d'utiliser l'ellipsomètre pour mesurer l'épaisseur de TiN car le matériau est réfléchissant. Pour cette raison, une photolithographie suivie d'une gravure plasma est effectuée. Cette méthode permet seulement d'avoir une approximation de l'épaisseur, car le  $\text{SiO}_2$  se fait graver lui aussi par le plasma. Cependant, ce procédé permet de graver le TiN plus rapidement que le  $\text{SiO}_2$  (10 nm/min pour le TiN et 2 nm/min pour le  $\text{SiO}_2$ ).

Un dépôt de TiN de 2000 cycles a été effectué sans faire de conditionnement de la chambre avec le TMA. En supposant une épaisseur de 20 nm à 60 nm, la résistivité obtenue se situe autour de 20 à 60  $\text{m}\Omega\cdot\text{cm}$ . Ceci est extrêmement élevé comparativement à la résistivité du

TiN déposé par pulvérisation cathodique au 3IT ( $300 \mu\Omega\cdot\text{cm}$ ) et la résistivité obtenue par le fabricant dans un système similaire ( $100 \mu\Omega\cdot\text{cm}$ ). Un dépôt identique avec un conditionnement de 600 cycles et un autre de 1000 Cycles a été effectué et tous les deux ont une résistivité respective de 16 et 14  $\text{m}\Omega\cdot\text{cm}$ . La résistivité obtenue avec le conditionnement est un peu plus faible, mais toujours extrêmement élevé pour du TiN. Le titane est un matériau qui interagit fortement avec l'humidité et l'oxygène et plusieurs dépôts d'oxyde ont été effectués dans le système. Le dépôt est donc fortement contaminé en oxygène et c'est pourquoi la résistivité est aussi élevée. Ceci peut être dû au système lui-même ou au procédé utilisée. De plus, le dépôt de TiN se fait à une température de  $450^\circ\text{C}$  contrairement à  $200^\circ\text{C}$  et  $300^\circ\text{C}$  pour les oxydes et ceci a sans doute pour effet de désorbé une partie de l'oxyde des parois du système et du porte-substrat. En se basant sur la littérature [37], des procédés avec un plus grand temps de pulse de  $\text{NH}_3$  ont été développés. L'hypothèse est que le temps de pulse de 0.1 seconde de  $\text{NH}_3$  du procédé suggéré par Picosun n'est pas suffisant pour saturer la surface. Le temps de pulse du  $\text{NH}_3$  a donc été augmenté de 2 à 4 secondes en plus du temps de pulse du  $\text{TiCl}_4$  de 0.1 à 0.2 secondes.

	ALD				Pulvérisation
	Procédé développé			Picosun	
Pulse de $\text{NH}_3$ (s)	2	4	2	0.1	x
Purge de $\text{NH}_3$ (s)	10	10	10	8	x
Pulse de $\text{TiCl}_4$ (s)	0.1	0.1	0.2	0.1	x
Purge de $\text{TiCl}_4$ (s)	2	2	3	2	x
O 1s (%)	11.77	19.56	16.66	35.48	14.27
C 1s (%)	0.00	0.00	0.00	0.00	3.82
N 2s (%)	42.47	36.54	38.82	24.94	38.16
Ti 2p (%)	45.05	43.90	43.67	39.57	40.24
Cl 2p (%)	0.71	0.00	0.85	0.00	0.00
Fe 2p (%)	0.00	0.00	0.00	0.00	3.51
Ratio Ti/N	1.06	1.20	1.12	1.59	1.05
Taux de déposition ( $\text{\AA}/\text{cycle}$ )	0.3	0.3	0.3	-	x
Résistivité ( $\mu\Omega\cdot\text{cm}$ )	800	1000	1060	14000	300

Tableau 4.7 Tableau comparatif de la résistivité et de la stœchiométrie des différents dépôts par ALD et par pulvérisation cathodique de TiN.

Le tableau 4.7 regroupe les résultats de l'analyse XPS en plus des temps de purge/pulse, le taux de déposition et la résistivité pour le TiN déposé par pulvérisation cathodique et par ALD avec les différents paramètres de déposition. À l'exception du dépôt fait par pulvérisation cathodique, les procédés présentés dans le tableau 4.7 ont tous subi un conditionnement de 1000 cycles. Il est donc possible de conclure que l'augmentation du temps de pulse du  $\text{NH}_3$  a permis de diminuer grandement la résistivité du TiN. De plus,

la différence de concentration d'oxygène entre les procédés développés et le procédé de Picosun permet de confirmer l'hypothèse que la contamination en oxygène est la cause de la résistivité trop élevée. Le ratio Ti/N est aussi beaucoup plus près de 1 pour les procédés développés contrairement au procédé de Picosun. Le faible temps de pulse de  $\text{NH}_3$  n'était pas suffisant pour saturer entièrement la surface ce qui a eu pour effet de créer un appauvrissement en azote qui a été comblé par une recombinaison avec l'oxygène présent dans le système ou dans l'air ambiant.

Il a été possible de valider le fonctionnement du système fourni par Picosun en effectuant des dépôts d' $\text{Al}_2\text{O}_3$ . Les dépôts ALD et PEALD effectués avec le TMA ont montré d'excellents résultats en accord avec la littérature. Avec un taux de croissance de  $1 \text{ \AA}/\text{cycle}$ , une permittivité relative de l'ordre de 8 a été mesurée. Par la suite, il a été démontré pour le  $\text{SiO}_2$  que le procédé fournit par Picosun offrait une meilleure uniformité que le procédé développé par l'université d'Eindhoven et le matériau issu des deux procédés possèdent la même stoechiométrie. Le procédé d'Eindhoven a permis d'estimer une permittivité relative de l'ordre 5.8 ce qui est comparable avec celle trouvée dans la littérature. Pour l'estimation de la constante diélectrique avec des condensateurs, il est possible d'estimer la permittivité relative du matériau avec des condensateurs plus grands que  $500 \mu\text{m}$  de côté. Finalement, il a été possible d'obtenir du TiN avec une résistivité d'environ  $800 \mu\Omega \cdot \text{cm}$  en augmentant le temps de pulse du  $\text{NH}_3$  de la recette fournis par le fabricant.



# CHAPITRE 5

## FABRICATION DE SET

La fabrication de dispositif a entièrement été réalisée dans les laboratoires de l'Université de Sherbrooke. Plus spécifiquement dans les salles blanches (laboratoire de nanofabrication et nanocaractérisation - LNN) de l'Institut interdisciplinaire d'innovation technologique (3IT). Chaque étape du procédé de fabrication a été validée avec différente méthode de caractérisation. Ce chapitre s'attarde donc à décrire le procédé de fabrication pour la réalisation de dispositifs ainsi que la validation des différentes étapes nécessaire à l'obtention de celui-ci.

Un procédé de fabrication inspiré des travaux de doctorat de Gabriel Droulers et de Bruno Lee-Sang a été réalisé. D'une part, la géométrie du dispositif est inspirée de la thèse de Gabriel Droulers [11] et d'autre part, le procédé nanodamascène inverse est inspiré du procédé développé par Bruno Lee-Sang [29]. Finalement, l'intégration de dépôt ALD a été intégré dans le procédé pour réduire la taille de l'îlot et ainsi diminuer sa capacité avec l'environnement en plus de réduire la constante diélectrique des jonctions tunnels fait de  $\text{SiO}_2$  au lieu d' $\text{Al}_2\text{O}_3$

### 5.1 Procédé nanodamascene inverse

Cette section décrit le procédé nanodamascene inverse utilisé dans la création de SET. Le procédé est schématisé sur la figure 5.1 et sera détaillé sommairement ici. Un tableau exhaustif du procédé est présent en annexe (tableau B.1).

Le procédé débute avec une gaufre de silicium 001 qui a subi une oxydation thermique pour atteindre une épaisseur de  $\text{SiO}_2$  de 150 nm. Une photolithographie (UV1) avec masque est effectuée pour créer des structures sacrificielles pour l'étapes de CMP et des contacts micrométriques qui vont rendre possible la caractérisation électrique après la fabrication du dispositif. Une résine positive Shipley S1805 est exposée sur l'aligneuse et développée par une solution basique de MF-319. Plus de détails sur la photolithographie sont donnés dans la section 5.2.

Une fois la photolithographie UV1 effectuée, une gravure plasma de type ICP (Induced Coupled Plasma) est effectué pour graver 40 nm de  $\text{SiO}_2$ . La figure 5.1 (1) représente cette gravure quand la résine a été retirée par un nettoyage au solvant et un plasma d'oxygène.

Cette gravure anisotrope permet la gravure du  $\text{SiO}_2$  a une inclinaison de  $80^\circ$ . La gaufre est par la suite coupée pour créer des échantillons de 1 cm x 1cm et c'est sur ces échantillons que sera effectué la première lithographie électronique.

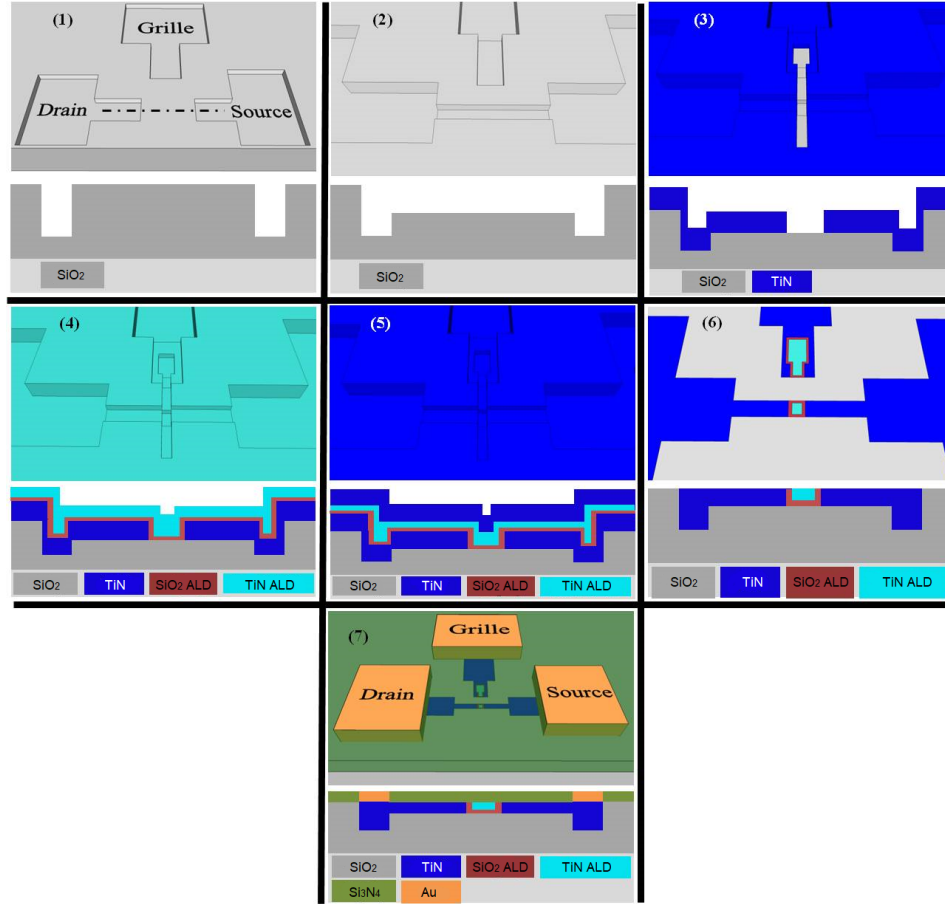


Figure 5.1 Procédé nanodamascène inverse. 1) Formation des contacts micrométrique. 2) Formation des contacts nanométriques. 3) Dépôt et gravure du TiN pour la formation de l'îlot. 4) Formation des jonctions tunnel de  $\text{SiO}_2$  par ALD et formation de l'îlot de TiN. 5) Recouvrement de TiN pour la CMP. 6) Dispositif révélé après CMP. 7) Formation des contacts micrométriques pour les mesures électriques. [29]

Cette électrolithographie permet de créer des tranchées dans lesquelles se situeront le drain, la source et la grille du SET. Une résine électrosensible ZEP520A est utilisée pour créer les motifs avec un microscope électronique à balayage (MEB) et une immersion dans l'oxylène suivi de l'IMBK est utilisée comme développeur. Plus de détail sur l'électrolithographie est donné à la section 5.3. Ensuite une gravure plasma identique a celle utilisée pour l'UV1 est utilisée pour atteindre une profondeur de 20 nm (voir figure 5.1 (2)).

Ensuite, l'échantillon reçoit une métallisation de TiN de 25 nm par pulvérisation cathodique ou par ALD pour remplir entièrement les tranchées. Une deuxième électrolithogra-

phie est effectuée au niveau de l'emplacement de l'îlot pour permettre de graver le TiN avec une gravure plasma à base de chlore. (Voir figure 5.1 (3)). Ce procédé permet de graver le TiN à une vitesse de 10 nm/min et le SiO<sub>2</sub> à 2 nm/min.

Une fois la gravure effectuée, il est possible de créer les jonctions tunnel du SET. Pour ce faire, un dépôt de SiO<sub>2</sub> de 2.6 nm et de TiN de 5 nm est effectué par ALD et l'îlot du SET est ainsi créé (voir figure 5.1 (4)). Ensuite, une dernière couche de 80 nm de TiN par pulvérisation cathodique est déposée pour permettre la planarisation à la CMP (voir figure 5.1 (5)). Ici, un dépôt par pulvérisation cathodique est plus adéquat puisque le dépôt de 80 nm est beaucoup moins long et moins coûteux qu'un dépôt ALD.

La figure 5.1 (6) montre le résultat après avoir effectué la CMP du TiN. La CMP permet de niveler la surface et obtenir une épaisseur uniforme. Elle permet aussi d'enlever du matériel de sorte à ce retrouver au niveau de la couche de SiO<sub>2</sub> et ainsi révéler le dispositif.

Finalement, une couche de passivation de SiO<sub>2</sub> est déposée par ALD et une dernière photolithographie est effectuée pour créer les points de contact en gravant la couche de passivation avec une gravure plasma ICP et en déposant des contacts d'or. La photolithographie se fait avec une bicouche de résine (LOR3A et S1805) et le dépôt d'or s'effectue par évaporation.

## 5.2 Photolithographie

Le premier masque UV utilisé est composé de 25 échantillons carrés de 1 cm de côté comme celui représenté sur la figure 5.2 (a). Chaque échantillon est composé de plusieurs cellules (5.2 (b)) constituées de plusieurs plots de contact qui vont permettre la connexion de micromanipulateur micrométrique vers les dispositifs nanométriques (5.2 (c)). Des marques d'alignement se trouvent aussi sur chaque cellule pour permettre l'alignement des motifs lors de l'électrolithographie. De plus, le masque est conçu pour permettre de réaliser du polissage mécano chimique (CMP). En effet, l'espace non utilisé du masque est recouvert de motifs sacrificiels d'une largeur de 2  $\mu\text{m}$  avec un espacement équivalent de sorte que 50% de la surface du masque est recouverte de motif. Ceci a pour effet d'éviter des phénomènes d'érosions et d'abrasion après la CMP et les plots de contact sont striés pour les mêmes raisons.

## 5.3 Électrolithographie

Quatre cellules sont utilisées pour fabriquer des SET ; C4, D4, E3, F4. Ces cellules ont été choisies puisque ce sont les cellules situées le plus au centre de l'échantillon. Sachant que

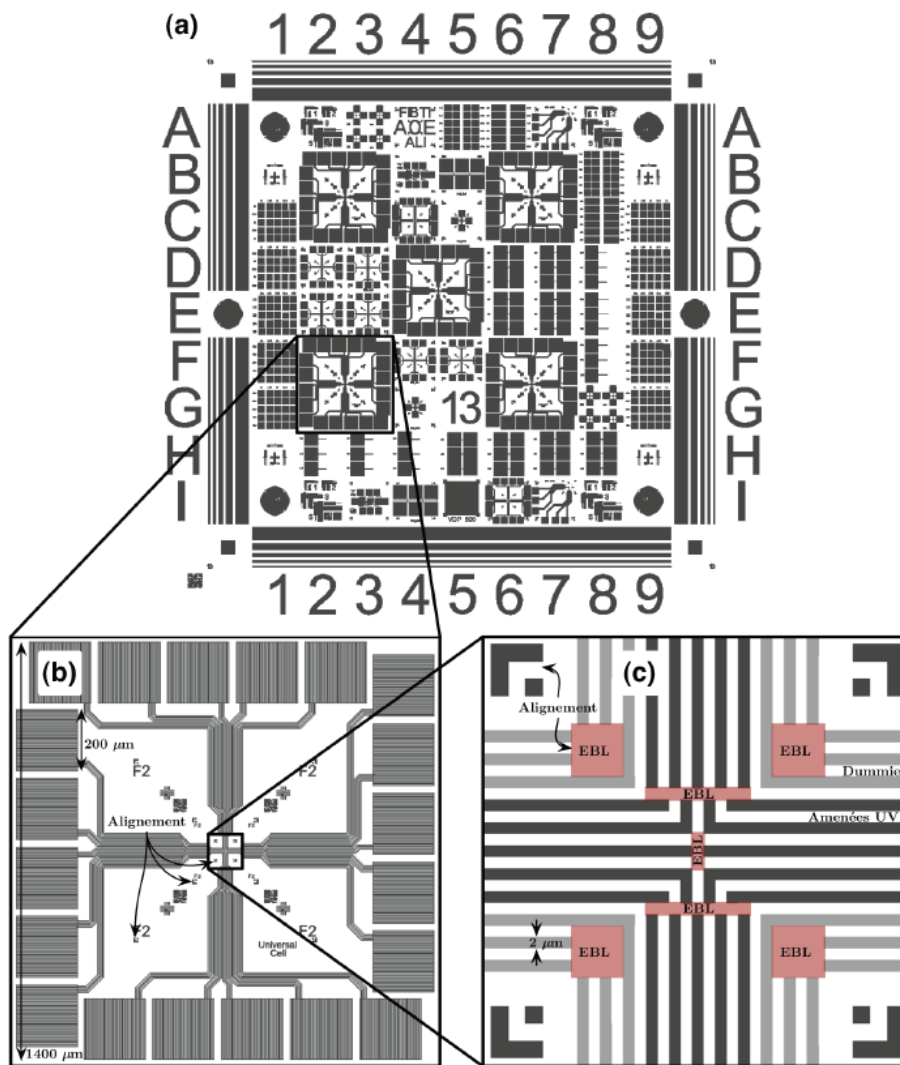


Figure 5.2 Masque utilisé pour la photolithographie UV1 [11]

la CMP polie plus rapidement le centre que les bords sur un échantillon carré, ce choix a été fait pour avoir un taux de polissage similaire d'une cellule à l'autre.

Sur chacune de ces cellules, il y a différentes géométries de SET. La cellule D4 est la seule cellule qui possède suffisamment d'interconnexion pour fabriquer 2 SET couplées. La géométrie des doubles SET est montrée sur la figure 5.3 (a). Un SET avec la même géométrie se trouve aussi sur la cellule D4 (voir figure 5.3 (b)) pour permettre de quantifier l'influence d'un deuxième SET couplée. La géométrie des SET (c) et (d) se retrouve sur les cellules E3, F4 et C4. puisque ces SET sont situés sur différentes cellules, ils permettent d'évaluer l'uniformité de la CMP. Ces deux SET possèdent aussi un nanofil plus court entre la source et le drain et aucun angle droit pour diminuer la résistance globale du dispositif. Finalement, le SET (d) possède deux grilles pour évaluer l'impact de la capacité de la



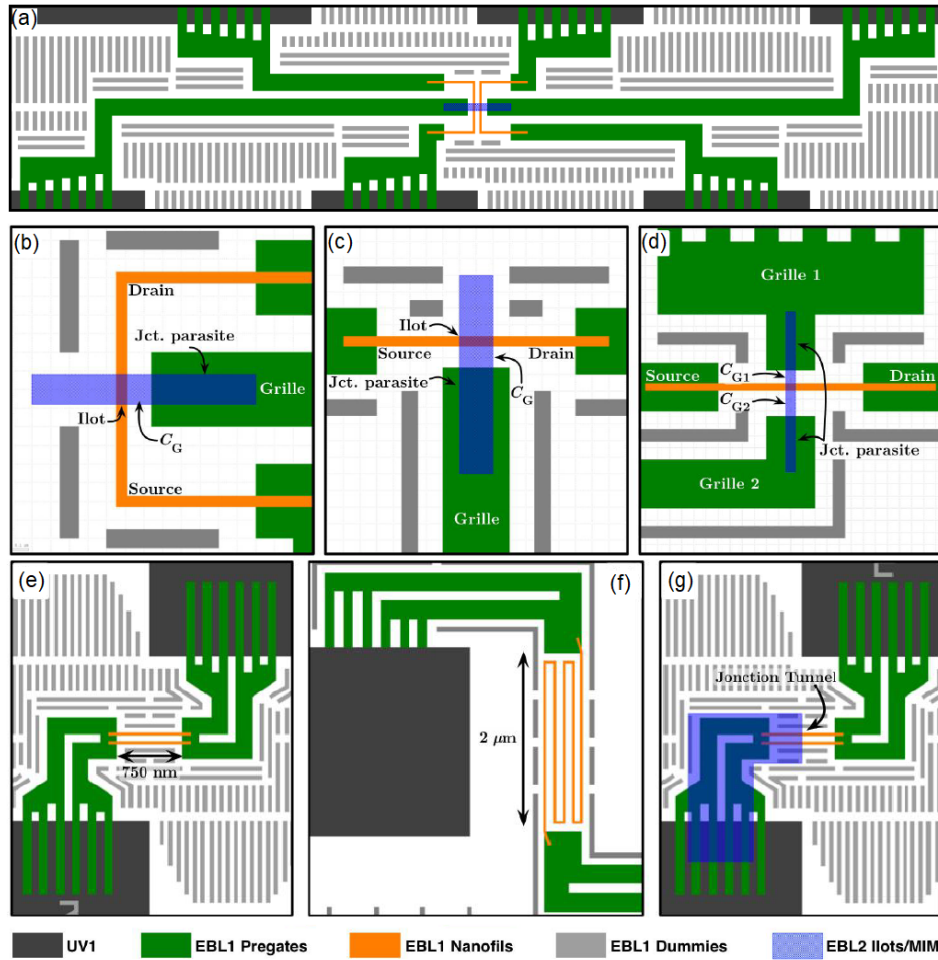


Figure 5.3 Motifs EBL pour les différentes géométries de SET [11]

grille avec l'îlot dans le fonctionnement du dispositif et aussi permettre la comparaison avec la simulation.

D'autres dispositifs sont fabriqués sur chaque cellule. Des nanofils de différente géométrie (voir figure 5.3 (e) et (f)) permettent d'évaluer la résistance des chemins d'amenés et aussi d'estimer l'épaisseur des tranchées après la CMP. De plus, des jonctions MIM (Métal Isolant Métal) sont conçues pour évaluer le courant tunnel et la stabilité des jonctions tunnels (voir figure 5.3 (g)).

## 5.4 Validation du procédé de fabrication

### 5.4.1 Formation des tranchées entre la source et le drain (EBL1)

Une électrolithographie suivie d'une gravure plasma d'oxyde permettent de former la grille et les tranchées qui constitueront la source et le drain du SET. Pour valider cette étape,

des images au MEB et AFM (atomic force microscopy) ont été prises. La figure 5.4 est une image prise au MEB du dispositif double SET après la formation des tranchées. Le procédé permet de bien définir des tranchées de 20 nm.

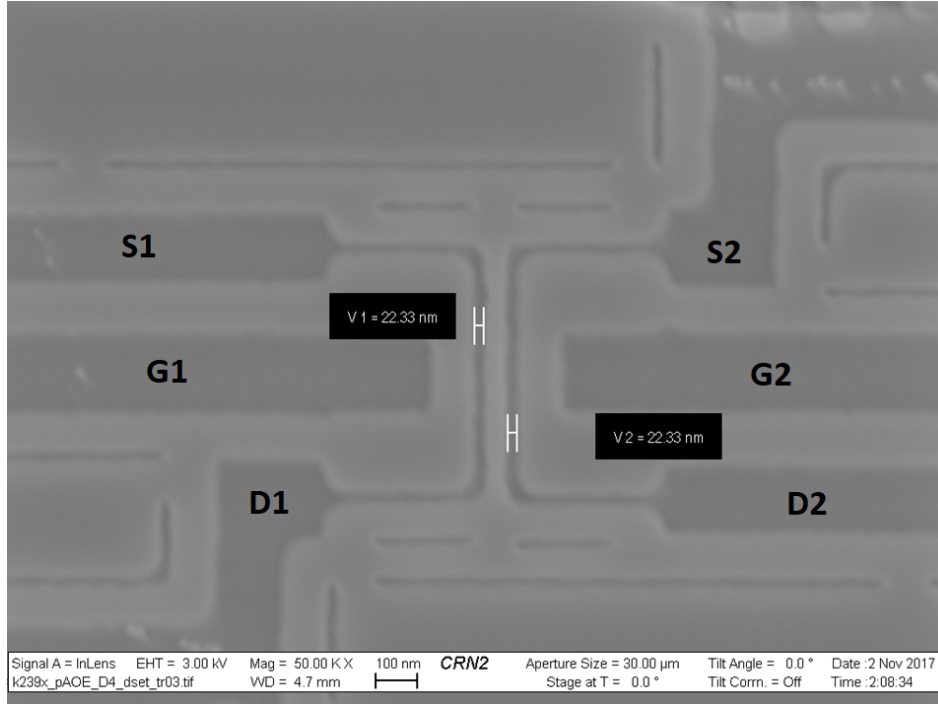


Figure 5.4 Image MEB du double SET après gravure du  $\text{SiO}_2$  des tranchées

La figure 5.5 est une image AFM d'un SET seule avec la même géométrie que le double SET. Sur ce dispositif, une gravure de 30 nm a été effectuée. Bien qu'il n'est pas possible d'atteindre le fond des tranchées avec la mesure AFM, il est possible de mesurer la profondeur de la gravure à l'aide de la grille du SET.

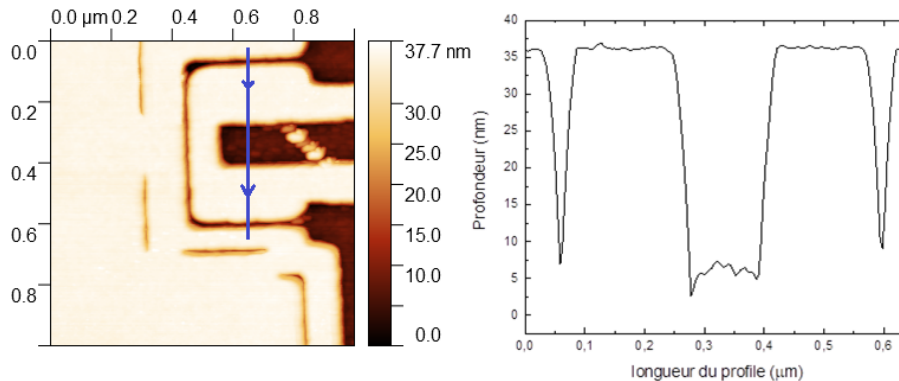


Figure 5.5 Image AFM à gauche et profil de la gravure à droite d'un SET après l'étape de gravure du  $\text{SiO}_2$ .

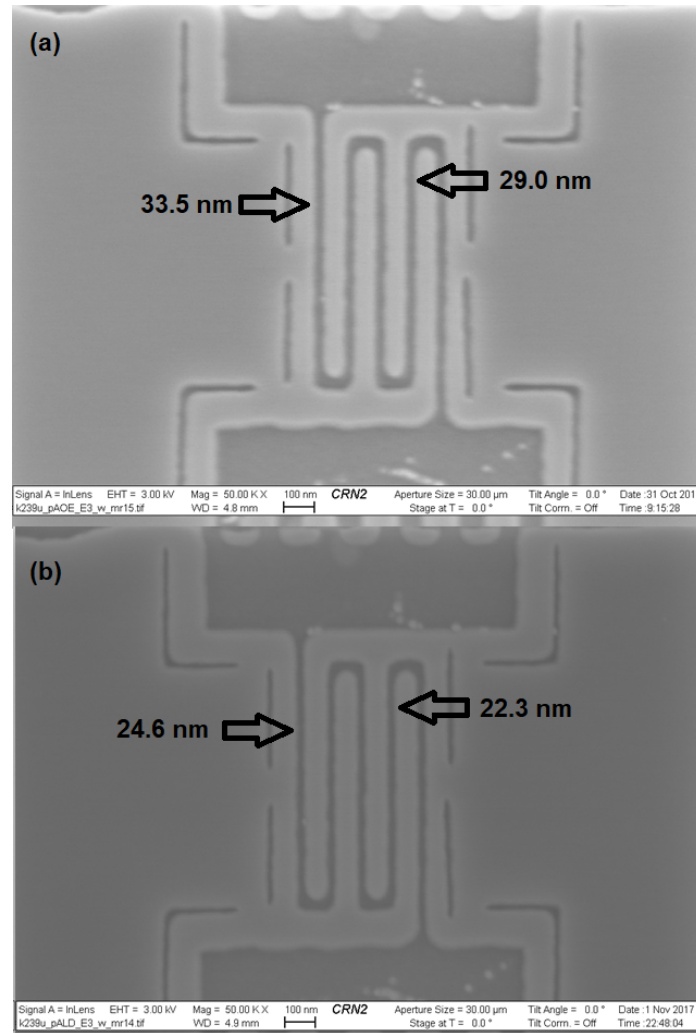


Figure 5.6 Image MEB de tranchés pour un nanofil avant et après un dépôt de 5 nm de  $\text{SiO}_2$  ALD.

Avec ce procédé, il n'est pas possible de créer des tranchées d'une largeur inférieure à 20 nm, car la résolution du MEB ne permet pas de faire des lignes uniformes d'une dimension inférieure à 20 nm. Pour pouvoir obtenir des tranchées moins larges, il est possible de faire un dépôt ALD de  $\text{SiO}_2$  après la gravure. La figure 5.6 est une image MEB de nanofil avant (figure a) et après (figure b) avoir subi un dépôt de 5 nm de  $\text{SiO}_2$  ALD pour réduire la largeur des tranchées. Pour évaluer la largeur des tranchées, 10 mesures ont été effectuées sur les deux images et en moyenne, une différence d'environ 8 nm sur la largeur des nanofils est observée. Cette méthode permet donc de réduire la taille des tranchées et permet de réduire la taille de l'îlot dans le procédé de fabrication.

### 5.4.2 Métallisation et gravure du TiN

Après la formation des tranchées, une métallisation de TiN est effectuée sur tout l'échantillon avant de former l'îlot des SET. Cette métallisation peut se faire par ALD ou par pulvérisation cathodique. Puisque la résistivité du TiN fait par pulvérisation possède une meilleure conductivité électrique que le TiN fait par ALD (voir section 4.5) il est préférable d'utiliser cette technique de déposition. Cependant, si la largeur des tranchées est trop petite ( $< 20$  nm) il se peut que le dépôt de TiN par pulvérisation ne soit pas adéquat pour remplir entièrement la tranchée. Dans ce cas, le dépôt par ALD est donc nécessaire.

Par la suite, une électrolithographie suivit d'une gravure plasma à base de chlore permet de graver le TiN à l'endroit de l'îlot. La figure 5.7 est une image AFM d'un SET prise après la gravure du TiN. Sur cet échantillon, un dépôt de 22 nm de TiN a été effectué. Puisqu'il n'est pas possible d'atteindre le fond d'une tranchée de 20 nm avec les mesures AFM, la gravure du TiN a été effectuée sur un motif beaucoup plus large (environ 100 nm) pour permettre de voir si le procédé de gravure permet de graver entièrement le TiN. Comme il est possible de voir sur la figure 5.7, la profondeur de gravure correspond à l'épaisseur de TiN déposé et permet de valider le fonctionnement de cette étape du procédé.

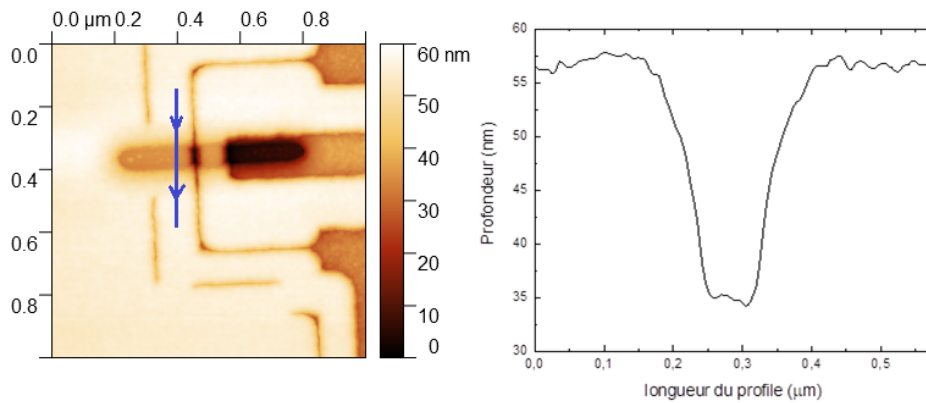


Figure 5.7 Image AFM à gauche et profil de profondeur à droite de la gravure de 22 nm de TiN déposé par pulvérisation.

### 5.4.3 Formation de l'îlot et CMP

Après la gravure du TiN, un dépôt de SiO<sub>2</sub> par ALD permet de créer les jonctions tunnel séparant l'îlot de la source et du drain et permet aussi de diminuer la longueur de l'îlot. Après ce dépôt, du TiN ALD et du TiN pulvé sont déposés sur l'échantillon et finalement une CMP permet de révéler le dispositif final. L'étape de CMP est une étape cruciale dans le procédé de fabrication. Le matériau à polir doit avoir une adhérence suffisamment grande pour permettre d'être aplanie et polie sans se soulever ou s'arracher de l'échantillon.

Puisqu'ici le matériau à polir est du TiN déposé par ALD et par pulvérisation, la CMP de ces deux matériaux a été développée et caractérisée à la fois indépendamment et dans un empilement.

Une inspection au MEB avec une vue en coupe d'un échantillon clivé après le polissage permet de déterminer la taux de polissage. Plusieurs échantillons avec un dépôt de TiN sont polis avec différent temps de polissage et sont ensuite clivés. Le taux de polissage du TiN déposé par pulvérisation et par ALD ont été évalué respectivement à 40nm/min et 13nm/min. Cette information a permis de déterminer le temps de CMP requis pour révéler les dispositifs.

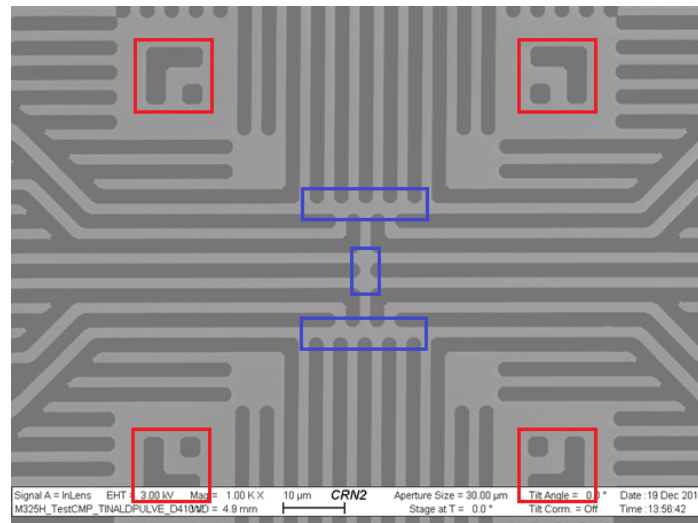


Figure 5.8 Image MEB du centre de la cellule D4 après la CMP d'un empilement de 40 nm de TiN déposé par ALD et 40 nm de TiN déposé par pulvérisation. Les zones d'écriture pour l'électrographie sont encadrées en bleu et les marques d'alignement sont encadrées en rouge.

Par la suite, la CMP a été effectuée sur un empilement de TiN déposés par ALD et par pulvérisation déposée sur des substrats de Si/SiO<sub>2</sub> avec et sans motif UV pour valider que la liaison de ces deux couches de TiN soit suffisamment grande pour subir une CMP. Un dépôt de 40 nm de TiN ALD suivis d'un dépôt de 40 nm de TiN par pulvérisation a été effectué pour valider la CMP. Que ce soit pour les échantillons avec ou sans motif UV, le procédé de CMP fonctionne très bien. L'empilement de matériaux résiste au contrainte mécanique du polissage et celui-ci permet de révéler les motifs UV sans problème. Toutes les cellules utilisées sont révélées après CMP et aucun signe de soulèvement ou de cassure n'est présent sur les échantillons. La figure 5.8 est une image prise au MEB du centre de la cellule D4 après CMP. Les régions foncées correspondent aux tranché ou le TiN est encore présent tandis que les régions plus pâles correspondent au SiO<sub>2</sub>. Avec ces résultats,

il est possible de conclure que le procédé de CMP utilisé est adéquat pour la fabrication de dispositif dans cette configuration.

En raison de la maintenance et le brit de plusieurs système nécessaire au procédé et par un manque de temps, il n'a pas été possible de fabriquer entièrement un detecteur de charge fonctionnel durant les travaux de cette maîtrise. Néanmmoins, toute les étapes nécessaire à la fabrication du dispositif ont été caractérisé et validé. Ceci laisse donc croire que la fabrication d'un détecteur de charge conçu avec ce procédé est réalisable.

---

# CHAPITRE 6

## CONCLUSION

La reproductibilité du procédé nanodamascène de Gabriel Droulers a pu être validé en fabricant et en caractérisant électriquement des SETs. Les oscillations de Coulomb observé permettent de déduire une capacité de l'îlot avec la grille de 3.2 aF. Cette valeur est similaire à celle obtenue auparavant de 2.58 aF.

Les simulations effectuées sur le logiciel COMSOL Multiphysics ont permis de définir une géométrie du dispositif ( $I_L$  : 150 nm,  $P_L$  : 100 nm,  $d_I$  : 80 nm,  $W_T$  : 10 nm,  $L_I$  : 10 nm,  $t_{CMP}$  : 2 nm,  $t_{OX}$  : 2.6 nm) permettant un fonctionnement à la température de l'azote liquide en utilisant le critère  $E_C \geq 10 K_B T$  tout en étant réalisable expérimentalement dans les laboratoires du 3IT. D'autre part, les simulations de jonctions tunnel permettent de définir une bande passante théorique de 1 MHz qui donne une idée des performances que pourrait avoir un tel dispositif.

La mise en place du système de déposition par ALD et le développement et la caractérisation des procédés de déposition de l' $Al_2O_3$ , du  $SiO_2$  et du TiN ont été effectuées durant cette maîtrise. Des analyses XPS ont permis d'évaluer la stoechiométrie des différents matériaux. La fabrication de condensateur a permis d'évaluer la permittivité de l' $Al_2O_3$  et du  $SiO_2$  tandis que des mesures électriques de surface ont permis d'évaluer la résistivité du TiN. Le dépôt d' $Al_2O_3$  ALD et PEALD possèdent la même uniformité de 0.4 % sur une gaufre de 4 po et la permittivité électrique du matériau (entre 7.9 et 8) est la même pour les deux méthodes de déposition et correspond à ce qui a été évalué dans la littérature [18, 47]. Pour le  $SiO_2$ , le procédé suggéré par le fabricant possède une meilleure uniformité que le procédé développé par l'Université d'Eindhoven (0.1 % contre 1.6 %). Cependant, le procédé de Picosun consomme une quantité énorme de précurseurs. La permittivité électrique mesurée pour le procédé d'Eindhoven et celui suggéré par Picosun (entre 5.7 et 5.9) concorde avec la littérature [9]. Le TiN déposé avec un temps de pulse de  $NH_3$  de 2 secondes possède une résistivité de  $800 \mu\Omega \cdot cm$ . Cette valeur est plus élevée que ce qui peut être fait par pulvérisation cathodique, mais le procédé donne tout de même de bien meilleur résultat que le procédé du fabricant. Ainsi, le matériau peut être utilisé dans le procédé de fabrication malgré une résistivité plus élevée.

Toutes les étapes de fabrication du dispositif ont été validées indépendamment. La première électrolithographie et la gravure plasma du  $\text{SiO}_2$  permettent de bien définir des tranchées d'une largeur de 20 nm avec une profondeur de 30 nm pour la formation du drain et de la source du SET. La déposition de  $\text{SiO}_2$  par ALD permet par la suite de rétrécir les tranchées du SET à la dimension désirée. L'étape de gravure du TiN a été validée avec un dépôt de 22 nm de TiN. Finalement, le taux de polissage de la CMP a été évalué pour le TiN déposé par ALD et par pulvérisation cathodique (respectivement 13 nm/min et 40 nm/min) et le polissage d'un empilement de ces deux matériaux a été effectué sans problèmes.

Pour la suite du projet, il reste donc à utiliser chaque étape du procédé développé et validé pour fabriquer le dispositif double SET. Par la suite, des caractérisations électriques à basse température seront nécessaires pour valider le fonctionnement du détecteur de charge. De plus, il serait pertinent de continuer le développement des dépôts de TiN par ALD afin de diminuer la contamination en oxygène et ainsi diminuer la résistivité du matériau. Pour ce faire, une chambre de déposition pourrait être dédiée aux métaux par exemple et ainsi éviter la contamination causée par les oxydes. Un procédé de dépôt de TiN à plus basse température en utilisant un plasma d'hydrogène avec de l'azote au lieu du  $\text{NH}_3$  comme précurseur pourrait aussi permettre d'obtenir un matériau avec une résistivité plus faible [23].

---



# ANNEXE A

## Paramètre de déposition pour les différents procédés ALD

	Al <sub>2</sub> O <sub>3</sub> T	Al <sub>2</sub> O <sub>3</sub> PEALD	SiO <sub>2</sub> Picosun	SiO <sub>2</sub> Eindhoven	TiN
GPC (Å/cycle)	1	1	1.3	0.9	0.3
Boost	non	non	oui (0.5,1.2,0)	non	non
Temp. TE2 (°C)	300	200	200	200	450
stab. Time (min)	10	10	10	10	15
Precursor 1	TMA	TMA	SAM.24	SAM.24	TiCl <sub>4</sub>
Pulse time (s)	0.1	0.1	1.6	0.1	0.1
purge time (s)	2	2	8	3	2
Prec. Temp. (°C)	amb	amb	B=70, N=85	B=50, N=75	amb
Carrier gas (sccm)	150	120	120	120	120
Precursor 2	H <sub>2</sub> O	O <sub>2</sub> (plasma)	O <sub>2</sub> (plasma)	O <sub>2</sub> (plasma)	NH <sub>3</sub>
Pulse time (s)	0.1	6	10	6	0.1
purge time (s)	3	2	2	4	8
Prec. Temp. (°C)	18	-	-	-	amb
Carrier gas (sccm)	200	80	80	80	100
IMS	400	400	400	400	400
Line 1 (TEMAHF)	50	40	50	30	30
Line 2 (SAM.24)	50	40	100	120	30
Line 3 (H <sub>2</sub> O)	200	40	50	30	30
Line 4 (TiCl <sub>4</sub> )	50	40	50	30	120
Line 5 (TMA)	150	120	50	30	30
Line 6 (NH <sub>3</sub> )	50	40	50	30	100
Line 7 (O <sub>2</sub> )	80	80	80	80	80

Tableau A.1 Paramètre de déposition des différents procédés ALD

	Al <sub>2</sub> O <sub>3</sub> PEALD	SiO <sub>2</sub> Picosun	SiO <sub>2</sub> Eindhoven
Gas	O <sub>2</sub>	O <sub>2</sub>	O <sub>2</sub>
RF Power (W)	2800	3000	2800
Argon carrier (SCCM)	80	80	80
Plasma gas flow (SCCM)	380	200	380
t1 Flow stabilization (s)	1.4	1	1.4
t2 RF power on (s)	4	8.4	4

Tableau A.2 Paramètre du générateur de plasma pour les différentes recettes

	TiN
GPC ( $\text{\AA}/\text{cycle}$ )	?
Boost	non
Temp. TE2 ( $^{\circ}\text{C}$ )	450
stab. Time (min)	15
Precursor 1	TMA
Pulse time (s)	0.1
purge time (s)	2
Prec. Temp. ( $^{\circ}\text{C}$ )	amb
Carrier gas (sccm)	150
Precursor 1	TiCl4
Pulse time (s)	0.1
purge time (s)	2
Prec. Temp. ( $^{\circ}\text{C}$ )	amb
Carrier gas (sccm)	120
Precursor 3	NH3
Pulse time (s)	0.1
purge time (s)	8
Prec. Temp. ( $^{\circ}\text{C}$ )	amb
Carrier gas (sccm)	100
IMS	400
Line 1 (TEMAHF)	30
Line 2 (SAM.24)	30
Line 3 (H2O)	30
Line 4 (TiCl4)	120
Line 5 (TMA)	150
Line 6 (NH3)	100
Line 7 (O2)	80

Tableau A.3 Procéd  de conditionnement du TiN avec le TMA



# ANNEXE B

## Procédé de fabrication détaillé

Étape	Équipement	Détails	Cible	Notes
1	Oxydation			
1.01	Nettoyage RCA	Opticlear : 5 min Acétone : 5 min IPA : 5 min Rinçage eau D.I. : 2 min H2O :HF 10 :1 : 10 s Rinçage : 2 min H2O2 :H2SO4 (1 :1) : 15 min Rinçage : 2 min H2O :NH4OH :H2O2 100 :1 :4 75 C / 15 min Rinçage eau D.I. : 2 min H2O :HF 50 :1 : 15 s Rinçage court : 30 s H2O :H2O2 :HCl 6 :1 :1 75 C / 15 min Rinçage : 1 min Essorage eau désionisée (2 min) Séchage azote (3 min)	Nettoyage	
1.02	Oxydation Thermique	Tube 3 Entré à 900 °C sous N <sub>2</sub> à 20 % 5 L/min Monté à 1050 °C en 20 min Attente de 20 min Oxydation sous O <sub>2</sub> 2% 40 % 5 L/ 215 min Attente de 60 min sous N <sub>2</sub> à 20 % 5 L/min Refroidissement de 30 min et sortie	150 nm SiO <sub>2</sub>	
1.03	Ellipsomètre Alpha-SE	SiO <sub>2</sub> on thermal oxide.mod		Mesurer épaisseur SiO <sub>2</sub>
2	Contacts photolithographie			
2.01	Étuve	180 °C / 5 min		
2.02	Étaleuse Polos	S1805 / dépôt statique / couvrir la gaufre Grand échantillon / 5000 rpm / 30 s	500 nm	
2.03	Plaque chauffante	115 °C / 1 min		
2.04	Ellipsomètre Alpha-SE	Transparent film on SiO <sub>2</sub> on Si.mod		Centre de la gaufre
2.05	Aligneuse OAI 806	Mode : Intensité courante Intensité : 15 mW/cm <sup>2</sup> Format du masque : 5 po # SSE du photomasque : G817 (EBR 4 po) Alignement : Oui, centré sur la gaufre Mode de contact : N <sub>2</sub> Hard Durée d'exposition : 10 s		
2.06	Développeuse Polos	Développeur : MF319 Durée : 2x15 s (puddle double) Température : TP		
2.07	Aligneuse OAI 806	Mode : intensité courante Intensité : 15mW/cm <sup>2</sup> Format du masque : 5 po #SSE du photomasque : I057 (NKMv4) Alignement : Oui, centré sur la gaufre Mode de contact : N <sub>2</sub> Hard Durée d'exposition : 3,5 s		
2.08	Développeuse Polos	Développeur : MF319 Durée : 2x15 s (puddle double) Température : TP		
2.09	Microscope Nikon	résidus / align. / contacts / ligne 1 :1	Inspection	L'extrémité des chemins doit être le plus rectangulaire possible
2.10	AOE-STS	Recette : DescUV Durée : 30 s	Descum	
2.11	AOE-STS	Recette : SiO <sub>2</sub> 70 Durée : 120 s	40 nm tranchées	
2.12	Banc humide (nett.)	Remover1165 / 70 °C / >30 min + 5 min ultrasons Acétone 5 min / IPA 5 min Rinçage Eau DI 1 min / Séchage azote		S1805 brûlée par la gravure AOE ->faire un bon nettoyage
2.13	Plasmaline	O <sub>2</sub> / 150 W / 300 mTorr / 5min		
2.14	Microscope Nikon	résidus / marques al. / contacts / lignes 1 :1	Inspection	
2.15	Profilomètre DEKTAK	Profondeur des tranchées (contacts)		
3	Découpe			
3.01	Étaleuse Polos	S1805 / dépôt statique / couvrir la gaufre Grand échantillon / 5000 rpm / 30 s	>500 nm	Protection pour la découpe
3.02	Plaque chauffante	115 °C / 1 min		
3.03	Scie de découpe	Aligner avec les différentes cellules UV	1 cm x 1 cm	
3.04	Banc humide (nett.)	Remover1165 / 70 °C / >30 min + 5 min ultrasons Acétone 5 min / IPA 5 min Rinçage Eau DI 1 min / Séchage azote		
3.05	SSE	Créer les #SSE pour chaque échantillon Identifier chaque échantillon dans sa boîte	A-Y=NKMv4	ZA-ZY=Dummies sans motif
4	Tranchées électrolothographie			
4.01	Plaque Chauffante	180 °C / 5 min		
4.02	Étaleuse Polos	ZEP520A DR2.4 / 5000 rpm / 30 s	80 nm	
4.03	Plaque chauffante	180 °C / 5 min		
4.04	Ellipsomètre Alpha-SE	Mesure épaisseur résine (Cauchy_SiO <sub>2</sub> _Si.mod)		Échantillon Dummy sans motifs
4.05	Zeiss FIB	20 kV / 7.5 µm / 4.70 mm / ~20 pA Dose linéaire : 0.26 nC/cm, Dummies 0.24 nC/cm Dose surfacique : 50 µm/cm <sup>2</sup>	20-25 nm (larg)	Faire test de dose avec motif réel Attention à l'exposition des alignements
4.06	Banc humide (dev)	Développeur : O-Xylène /TP / 75s Rinçage : MIBK (méthyl-4 pentanone-2) 15s Séchage : azote		

4.07	Plaque chauffante	125 °C / 5 min		
4.08	AOE-STS	Recette : DescZEP Durée : 15 s	Descum	
4.09	AOE-STS	Recette : SiO <sub>2</sub> _70 Durée : 55 s	20 nm	
4.10	Banc humide (nett.)	Remover1165 / 70 °C / >30 min + 5 min ultrasons Acétone 5 min / IPA 5 min Rinçage Eau DI 1 min / Séchage azote		Zep brûlée par la gravure AOE -> faire un bon nettoyage
4.11	Plasmaline	O <sub>2</sub> / 150 W / 300 mTorr / 5 min		
4.12	Microscope Nikon	Inspection / résidus / marques al.		
4.13	Profilomètre DEKTAK	Profondeur des tranchées (nanofils)		
4.14	AFM	Taille des nanotranchées propreté du fond de gravure		
4.15	Zeiss FIB	Largeur des nanofils, alignements, état des motifs		Contamination C aux endroits observés
4.16	Plasmaline	O <sub>2</sub> / 150 W / 300 mTorr / 5 min	Descum	
<b>5 Dépôt et gravure du TiN</b>				
5.01	SPT320	Dépôt pulvérisation TiN	25 nm TiN	
5.02	Station sous pointe	Mesure résistivité dummy TiN		
5.03	Plaque chauffante	180 °C / 5 min	Déshydratation	
5.04	Étaleuse Polos	Mcc primer - ZEP520A DR1.7 / 5000rpm / 30 s	150 nm	
5.05	Plaque chauffante	180 °C / 5 min		
5.06	Ellipsomètre Alpha-SE	Mesure épaisseur résine (Cauchy_SiO <sub>2</sub> _Si.mod)		Echantillon dummy sans motifs
5.07	Zeiss FIB	20 kV / 7.5 µm / 4.70 mm / ~20 pA Dose linéaire : 0.20 nC/cm, Dummies 0.20 nC/cm Dose surfacique : 50 µm/cm <sup>2</sup>		Attention à l'exposition des alignements
5.09	Banc humide (dev)	Développeur : O-Xylène / 75 s et MIBK 15 s Séchage : azote		Immersion
5.10	Plaque chauffante	125 °C / 5 min	Recuit	
5.11	III-V STS	Recette TiN nano / 2min 30 Remover1165 / 70 °C / >30 min Acétone 5 min / IPA 5 min Rinçage Eau DI 1 min / Séchage azote	25 nm	Gravure TiN
5.12	Banc humide			Nettoyage
5.16	AFM	Largeur et état de l'îlot.		
<b>6 Jonction Tunnel et TiN</b>				
6.01	R-200 Picosun (ALD)	Conditionnement : 200 cycles Recette : SiO <sub>2</sub> plasma4in / 43 cycles	2 nm SiO <sub>2</sub>	
	R-200 Picosun (ALD)	Conditionnement : 1000 cycles Recette : TiNmod / 165 cycles	5 nm TiN	
	SPT320	Dépôt pulvérisation TiN	2 x 40 nm TiN	
6.03	Profilomètre DEKTAK	Épaisseur de métal déposée		Echantillon avec motif de soulèvement
6.04	Résistivité 4 pointes	Mesure de resistivité de l'empilement		Echantillon dummy sans motifs
<b>7 Planarisation</b>				
7.01	CMP	Recette CX395 350 g / P : 60 rpm / T : 50 rpm / 50 % ring / d : 20 %	2x60 s (0 - 180°) 60/30 s jusqu'à t <sub>0</sub>	
7.02	Microscope Nikon	épaisseur restante / résidus / marques al.	Inspection	
7.03	Zeiss LEO VP	Inspection du polissage et choix des celules à caractériser. En boucle avec l'étape de CMP.		Limiter le dépôt de C (faible mag.)
7.04	AFM	Dimensions et choix des dispositifs à caractériser.		(Optionnel)
7.05	Keithley4200 (LCSM)	Mesure des nanofils et quelques dispositifs pour déterminer l'état et choix des dispos à mesurer en cryo.		(Optionnel)
<b>8 Passivation</b>				
8.01	PECVD-STS	Recette : HFSiN Durée : 10 min	100 nm Si <sub>3</sub> N <sub>4</sub>	
<b>9 Gravure Si<sub>3</sub>N<sub>4</sub> et contacts</b>				
9.01	Plaque chauffante	150 °C / 5 min		
9.02	Étaleuse Polos	LOR3A / 3000 rpm / 30 s	300 nm	
9.03	Plaque chauffante	150 °C / 5 min		
9.04	Ellipsomètre Alpha-SE	Mesure épaisseur résine (Cauchy_SiO <sub>2</sub> _Si.mos)		Echantillon dummy sans motifs
9.05	Étaleuse Polos	SI805 / 5000 rpm / 30 s	500 nm	
9.06	Plaque chauffante	115 °C / 1 min		
9.07	Ellipsomètre Alpha-SE	Mesure épaisseur résine (Cauchy_Cauchy_SiO <sub>2</sub> _Si.mod)		Echantillon dummy sans motifs
9.08	Aligneuse OAI 806	Mode : Intensité courante Intensité : 15 mW/cm <sup>2</sup> Format du masque : 5 po photomasque : K460 (NKMv4-Pads-D4Corrigé) Alignement : Oui Mode de contact : N <sub>2</sub> Hard Durée d'exposition : 3.5 s		
9.09	Développeuse Polos	Développeur : MF319 Durée : 2x15 s (puddle double) Température : TP		
9.10	Microscope Nikon	Inspection / résidus		
9.11	AOE-STS	Recette : DescUV Durée : 30 s	Descum	
9.12	AOE-STS	Recette : SiO <sub>2</sub> _90 Durée : 55 s	100 nm	
9.13	Edwards (évaporation)	Cible : Cr Cible : Au	15 nm 150 nm	
9.14	Banc humide (nett.)	Remover 1165 / 70 °C / >30 min Acétone 5 min / IPA 5 min Rinçage Eau DI 1 min / Séchage azote Pompage résidus (Pompe péristaltique)		Bain ultrasons 0-30 s (Optionnel)
<b>10 Caractérisation Électrique</b>				
10.01	Keithley4200 (LCSM)	Mesure des nanofils et quelque dispositifs pour choisir les dispo à mesurer en cryo.		(Optionnel)
<b>11 Montage et micro-soudure</b>				
11.01	Labo Michel P.L	Nettoyage support 48 pins à l'IPA pour enlever le gras. Séchage : azote ou air (1-5 min) Collage de l'échantillon avec laque d'argent. Connecter la laque à une pin pour contact au substrat		(Travailler avec des gants)

---

11.02	Micro-soudeuse K&S4700	Micro-soudure : Wedge bonding	Généraux	Salles propres 2 (Phys.)
		Paramètres 1 : Tear : 7 / Tail : 8 / Loop : 5-7	Pin support	
		Paramètres 1 : Pw : 5 / t : 7 / F : 4.5	Pad échantillon	
		Paramètres 2 : Pw : 6 / t : 7 / F : 5		
11.03	VTI (Labo MPL)	Mesure cryo (1.5 K à 300 K)		
11.04	BlueFors (Labo MPL)	Mesure cryo (10 mK à 1 K)		

---





# LISTE DES RÉFÉRENCES

- [1] Aassime, A., Johansson, G., Wendin, G., Schoelkopf, R. J. et Delsing, P. (2001). Radio-Frequency Single-Electron Transistor as Readout Device for Qubits : Charge Sensitivity and Backaction. *Phys. Rev. Lett.*, volume 86.
- [2] Arzubiaga, L., Golmar, F., Llopis, R., Casanova, F. et Hueso, L. E. (2014). In situ electrical characterization of palladium-based single electron transistors made by electromigration technique. *AIP Adv.*, volume 4.
- [3] Beaumont, A. (2005). *Etude des mécanismes de transport électrique dans des structures à base de nanocristaux de silicium ordonnés*. Thèse de doctorat, 190 p.
- [4] Beaumont, A., Dubuc, C., Beauvais, J. et Drouin, D. (2009). Room Temperature Single-Electron Transistor Featuring Gate-Enhanced ON -State Current. *Electron Device Letters*, volume 30, numéro 7, p. 766–768.
- [5] Brinkman, W. F., Dynes, R. C. et Rowell, J. M. (1970). Tunneling conductance of asymmetrical barriers. *Journal of Applied Physics*, volume 41, numéro 5, p. 1915–1921.
- [6] Bylander, J., Duty, T. et Delsing, P. (2005). Current measurement by real-time counting of single electrons. *Nature*, volume 434.
- [7] Clerk, A. A., Girvin, S. M. et Stone, A. D. (2003). Quantum-Limited Measurement and Information in Mesoscopic Detectors. *Physical Review B*, volume 67.
- [8] Dingemans, G. et Kessels, W. M. M. (2012). Status and prospects of Al<sub>2</sub>O<sub>3</sub>-based surface passivation schemes for silicon solar cells. *Journal of Vacuum Science and Technology A*, volume 30, numéro 4, p. 1–27.
- [9] Dingemans, G., van Helvoirt, C. A. A., Pierreux, D., Keuning, W. et Kessels, W. M. M. (2012). Plasma-Assisted ALD for the Conformal Deposition of SiO<sub>2</sub> : Process, Material and Electronic Properties. *Journal of the Electrochemical Society*, volume 159, numéro 3, p. H277–H285.
- [10] Dingemans, G., van Helvoirt, C. A. A., van de Sanden, M. C. M. et Kessels, W. M. M. (2011). Plasma-assisted atomic layer deposition of low temperature SiO<sub>2</sub>. *ECS Transactions*, volume 35, numéro 4, p. 191–204.
- [11] Droulers, G. (2015). *Conception et fabrication d'un automate cellulaire quantique basé sur un procédé de transistor monoélectronique métallique damascène*. Thèse de doctorat, Université de Sherbrooke.
- [12] Dubuc, C., Beauvais, J. et Drouin, D. (2007). Single-electron transistors with wide operating temperature range. *Appl. Phys. Lett.*, volume 90.

- 
- [13] Elers, K.-E., Winkler, J., Weeks, K. et Marcus, S. (2005). TiCl<sub>4</sub> as a Precursor in the TiN Deposition by ALD and PEALD. *J. Electrochem. Soc.*, volume 152.
- [14] Elzerman, J. M. ., Hanson, R., Giedanus, J. S., van Beveren, L. H. W., Franceschi, S. D., Vandersypen, L. M. . K., Tarucha, S. et Kouwenhoven, L. P. (2003). Few-electron quantum dot circuit with integrated charge read out. *Physical Review B*, volume 161308, p. 9–12.
- [15] Field, M., Smith, C. G., Pepper, M., Ritchie, D. A., Frost, J. E. F., Jones, G. A. C. et Hasko, D. G. (1993). Measurements of Coulomb Blockade with a Noninvasive Voltage Probe. *Phys. Rev. Lett.*, volume 70.
- [16] Fujisawa, T., Hayashi, T., Tomita, R. et Hirayama, Y. (2006). Bidirectional Counting of Single Electrons. *Science (80-. )*, volume 312.
- [17] Fulton, T. A. et Dolan, G. J. (1987). Observation of single-electron charging effects in small tunnel junctions. *Physical Review Letters*, volume 59, numéro 1, p. 109–112.
- [18] Groner, M. D., Fabreguette, F. H., Elam, J. W. et George, S. M. (2004). Low-Temperature Al<sub>2</sub>O<sub>3</sub> Atomic Layer Deposition. *Chem. Mater.*, volume 16, numéro 4, p. 639–645.
- [19] Gubin, S., Gulayev, Y. V., Khomutov, G., Kislov, V. V., Kolesov, V. V., Soldatov, E. S. et Sulaimankulov, K. S. (2002). Molecular clusters as building blocks for nanoelectronics : the first demonstration of a cluster single-electron tunnelling transistor at room temperature. *Nanotechnology*, volume 13, numéro 2, p. 185.
- [20] Guilmain, M. (2013). *Faculté de génie Département de génie électrique et génie informatique*. Thèse de doctorat.
- [21] Harata, H., Saitoh, M. et Hiramoto, T. (2005). Silicon single-hole transistor with large Coulomb blockade oscillations and high voltage gain at room temperature. *Japanese Journal of Applied Physics, Part 2 : Letters*, volume 44, numéro 20-23, p. 5–8.
- [22] Hartman, T. E. (1964). Tunneling through asymmetric barriers. *Journal of Applied Physics*, volume 35, numéro 11, p. 3283–3294.
- [23] Heil, S., Langereis, E., Roozeboom, F., Kemmeren, A., Pham, N., Sarro, P., Van De Sanden, M. et Kessels, W. (2005). Plasma-assisted atomic layer deposition of TiN films at low deposition temperature for high-aspect ratio applications. *Materials Research Society Symposium Proceedings*, volume 863, numéro January 2005.
- [24] Johnson, R. W., Hultqvist, A. et Bent, S. F. (2014). A brief review of atomic layer deposition : From fundamentals to applications. *Materials Today*, volume 17, numéro 5, p. 236–246.
- [25] Karbasian, G., Orlov, A. O. et Snider, G. L. (2015). Fabrication of nanodamascene metallic single electron transistors with atomic layer deposition of tunnel barrier. *J. Vac. Sci. Technol. B*, volume 33.
-

- [26] Kim, S. J., Lee, J. J., Kang, H. J., Choi, J. B., Yu, Y. S., Takahashi, Y. et Hasko, D. G. (2012). One electron-based smallest flexible logic cell. *Appl. Phys. Lett.*, volume 101.
  - [27] Klein, D. L., Roth, R., Lim, A. K. L., Alivisatos, A. P. et McEuen, P. L. (1997). A single-electron transistor made from a cadmium selenide nanocrystal. *Nature*, volume 389, numéro 6652, p. 699–701.
  - [28] Komiyama, S., Asta, O., Antonov, V., Kutsuwa, T. et Hirai, H. (2000). A single-photon detector in the far-infrared range. volume 403, numéro January, p. 405–407.
  - [29] Lee Sang, B. (2016). *Développement de procédés technologiques pour une intégration 3D monolithique de dispositifs nanoélectroniques sur CMOS*. Thèse de doctorat, Universit{é} de Sherbrooke.
  - [30] Likharev, K. K. (1999). Single-electron devices and their applications. *Proc. IEEE*, volume 87.
  - [31] Maeda, K., Okabayashi, N., Kano, S., Takeshita, S., Tanaka, D., Sakamoto, M., Teranishi, T. et Majima, Y. (2012). Logic operations of chemically assembled single-electron transistor. *ACS Nano*, volume 6.
  - [32] Matsumoto, K., Ishii, M., Segawa, K., Oka, Y., Vartanian, B. J. et Harris, J. S. (1996). Room temperature operation of a single electron transistor made by the scanning tunneling microscope nanooxidation process for the TiOx/Ti system. *Appl. Phys. Lett.*, volume 68, numéro 1, p. 34–36.
  - [33] Miikkulainen, V., Leskelä, M., Ritala, M. et Puurunen, R. L. (2013). Crystallinity of inorganic films grown by atomic layer deposition : Overview and general trends. *Journal of Applied Physics*, volume 113, numéro 2.
  - [34] Morissette, J. F. (2010). *Fabrication par lithographie hybride et procédé damascène de transistors monoélectroniques à grille auto-aligné*. 104 p.
  - [35] Murphy, E. L. et Good, R. H. (1956). Thermionic Emission, Field Emission, and the Transition Region. *Physical Review*, volume 102, numéro 6, p. 1464–1473.
  - [36] Pashkin, Y. a., Nakamura, Y. et Tsai, J. S. (2000). Room-temperature Al single-electron transistor made by electron-beam lithography. *Appl. Phys. Lett.*, volume 76.
  - [37] Ritala, M., Leskelä, M., Rauhala, E. et Haussalo, P. (1987). Atomic Layer Epitaxy Growth of TiN Thin Films. *J. Electrochem. Soc.*, volume 70, numéro 03, p. 322–324.
  - [38] Roche, B., Voisin, B., Jehl, X., Wacquez, R., Sanquer, M., Vinet, M., Deshpande, V. et Previtali, B. (2012). A tunable, dual mode field-effect or single electron transistor. *Appl. Phys. Lett.*, volume 100.
  - [39] Shin, S. J., Jung, C. S., Park, B. J., Yoon, T. K., Lee, J. J., Kim, S. J., Choi, J. B., Takahashi, Y. et Hasko, D. G. (2010). Si-based ultrasmall multiswitching single-electron transistor operating at room-temperature. *Applied Physics Letters*, volume 97, numéro 10, p. 16–19.
-

- 
- [40] Shirakashi, J.-i., Matsumoto, K., Miura, N. et Konagai, M. (1998). Single-electron charging effects in Nb / Nb oxide-based single-electron transistors at room temperature. *J. Appl. Phys.*, volume 72.
  - [41] Simmons, J. G. (1963). Electric Tunnel Effect between Dissimilar Electrodes Separated Effect between Dissimilar Electrodes by a Thin Insulating Film. *Journal of Applied Physics*, volume 488, numéro 1935, p. 2–3.
  - [42] Simmons, J. G. (1964). Generalized thermal J-V characteristic for the electric tunnel effect. *Journal of Applied Physics*, volume 35, numéro 9, p. 2655–2658.
  - [43] Simmons, J. G. (1964). Potential barrier and emission-limited current flow between closely spaced parallel metal electrodes. *Journal of Applied Physics*, volume 35, numéro 8, p. 2472–2481.
  - [44] Simmons, J. G. (1970). Thin 002 - Generalized formula for the electric tunnel effect between similar electrodes separated by a thin insulating film.pdf. volume 1793, numéro 1963.
  - [45] Simoneau, J. O. (2015). Statistique de photons d’une jonction tunnel déduite de mesures de potentiel électrique à l’aide d’un amplificateur paramétrique Josephson.
  - [46] Tugulea, A. et Dascălu, D. (1984). The image-force effect at a metal-semiconductor contact with an interfacial insulator layer. *Journal of Applied Physics*, volume 56, numéro 10, p. 2823–2831.
  - [47] van Hemmen, J. L., Heil, S. B. S., Klootwijk, J. H., Roozeboom, F., Hodson, C. J., van de Sanden, M. C. M. et Kessels, W. M. M. (2007). Plasma and Thermal ALD of Al<sub>2</sub>O<sub>3</sub> in a Commercial 200 mm ALD Reactor. *Journal of The Electrochemical Society*, volume 154, numéro 7, p. G165.
  - [48] van Wees, B. J., Kouwenhoven, L. P., Willems, E. M. M., Harmans, C. et Mooij, J. E. (1991). Quantum ballistic and adiabatic electron transport studied with quantum point contacts. *Phys. Rev. B*, volume 43.
  - [49] Yasunobu, N., ChiiDong, C. et Tsai, J.-S. (1996). 100-K Operation of Al-Based Single-Electron Transistors. *Jpn. J. Appl. Phys.*, volume 35.
-